

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年6月12日 (12.06.2003)

PCT

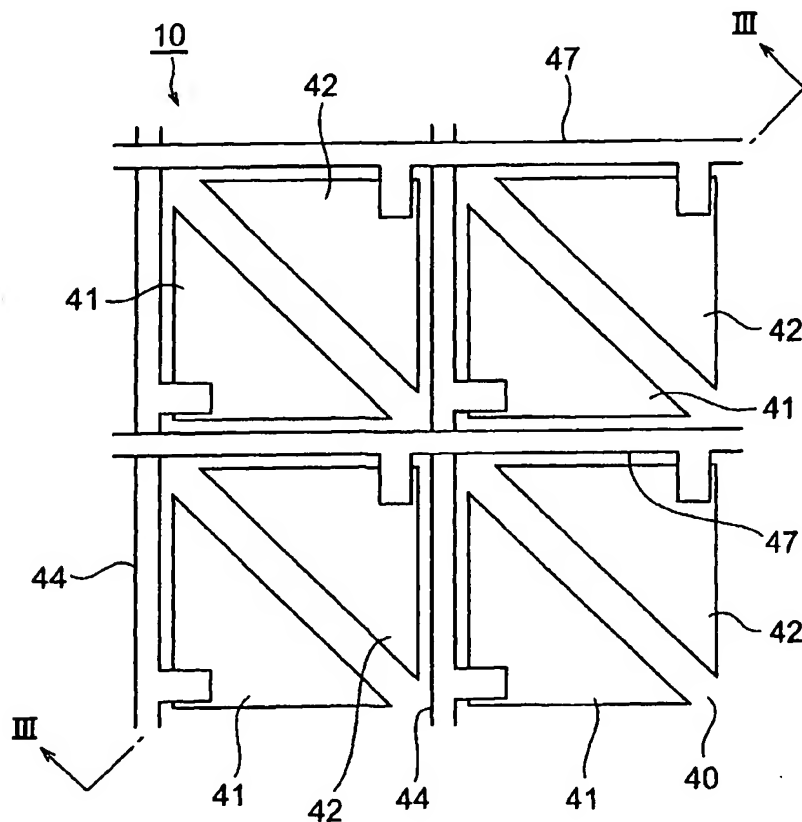
(10) 国際公開番号  
WO 03/049190 A1

- (51) 国際特許分類: H01L 27/14, H04N 5/335 [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 Shizuoka (JP).
- (21) 国際出願番号: PCT/JP02/12770
- (22) 国際出願日: 2002年12月5日 (05.12.2002) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 杉山 行信 (SUGIYAMA, Yukinobu) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 豊田 晴義 (TOYODA, Haruyoshi) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 向坂 直久 (MUKOZAKA, Naohisa) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 水野 誠一郎 (MIZUNO, Seiichiro) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2001-371753 2001年12月5日 (05.12.2001) JP  
特願2002-64000 2002年3月8日 (08.03.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)

[続葉有]

(54) Title: LIGHT DETECTION DEVICE, IMAGING DEVICE AND DISTANT IMAGE ACQUISITION DEVICE

(54) 発明の名称: 光検出装置、撮像装置及び距離画像取得装置



(57) Abstract: A photosensitive region includes a semiconductor substrate (40) consisting of a P-type semiconductor and N-type semiconductor regions (41, 42) formed on the front layer of the semiconductor substrate (40), whereby each photosensitive portion includes a semiconductor substrate (40) portion and a set of regions (41, 42) to constitute a photodiode. Regions (41, 42) each have an almost triangular shape when viewed from a light incident direction, with two regions (41, 42) in one pixel formed adjacent to each other at respective one side thereof. A first wiring (44) that electrically connect one region (41) in each pixel in a first direction is provided to extend in the first direction between pixels. A second wiring (47) that electrically connect the other region (42)

[続葉有]



(74) 代理人: 長谷川 芳樹, 外(HASEGAWA, Yoshiki et al.);  
〒104-0061 東京都中央区銀座二丁目6番12号 大倉本  
館 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO,  
NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ,  
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,  
ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,  
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特  
許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

---

in each pixel in a second direction is provided to extend in the second direction between pixels.

(57) 要約:

光感応領域は、P型半導体からなる半導体基板40と、当該半導体基板40の表層に形成されたN型半導体領域41、42とを含んでいる。これにより、各光感応部分は、半導体基板40部分と一組の領域41、42とを含むことになり、フォトダイオードを構成することになる。領域41、42は、光入射方向から見て略三角形状を呈しており、1画素において2つの領域41、42が互いに一辺が隣接して形成されている。第1配線44は、各画素における一方の領域41を第1の方向にわたって電氣的に接続するものであって、画素間を第1の方向に延びて設けられている。第2配線47は、各画素における他方の領域42を第2の方向にわたって電氣的に接続するものであって、画素間を第2の方向に延びて設けられている。

## 明細書

光検出装置、撮像装置及び距離画像取得装置

### 技術分野

5 本発明は、光が入射した２次元位置を検出する光検出装置、当該光検出装置を用いた撮像装置、及び当該撮像装置を用いた距離画像取得装置に関するものである。

### 背景技術

10 従来における光検出装置においては、MOS型イメージセンサ等の固体撮像素子を用いて、撮像により得られた画像データを画像メモリに取り込み、画像処理して２次元位置を検出するのが一般的である。

### 発明の開示

15 しかしながら、上述した従来技術においては、得られた画像データを格納する画像メモリが必要となることから、装置構成が複雑なものになってしまう。また、画像データを画像メモリに格納した後に演算処理を行って２次元位置を検出するため、２次元位置の検出処理に時間がかかってしまう。

本発明は上述の点に鑑みてなされたもので、第１の目的は、２次元位置の検出処理の高速化および構成の簡素化を図ることが可能な光検出装置を提供することにある。

20 第２の目的は、上記光検出装置を用いることで、２次元位置の検出処理の高速化および構成の簡素化を図ることが可能な撮像装置を提供することである。

第３の目的は、上記撮像装置を用いることで、距離画像を取得するための演算速度を低く抑えて、低消費電流化及び低発熱化を図ることが可能な距離画像取得装置を提供することである。

25 上述した第１の目的を達成するため、本発明に係る光検出装置は、画素が２次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで

1 画素が構成されており、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されていることを特徴としている。

本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電氣的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士が2次元配列における第2の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

また、各光感応部分は、第1導電型の半導体からなる半導体基板部分と、半導体基板部分に形成された第2導電型半導体領域とを含み、第2導電型半導体領域は、光入射方向から見て略三角形状を呈しており、1画素において互いに一辺が隣接して形成されていることが好ましい。このように構成した場合、複数の光感応部分を1画素内に配設する際に、各光感応部分の面積が減少するのを抑制することができる。

また、各光感応部分は、第1導電型の半導体からなる半導体基板部分と、半導体基板部分に形成された第2導電型半導体領域とを含み、第2導電型半導体領域は、光入射方向から見て略長形状を呈しており、1画素において長辺が隣接し

て形成されていることが好ましい。このように構成した場合、複数の光感応部分を1画素内に配設する際に、各光感応部分の面積が減少するのを抑制することができる。

また、第1の方向に配列された複数の画素にわたって一方の光感応部分同士を電氣的に接続するための配線が、画素間を第1の方向に延びて設けられており、第2の方向に配列された複数の画素にわたって他方の光感応部分同士を電氣的に接続するための配線が、画素間を第2の方向に延びて設けられていることが好ましい。このように構成した場合、それぞれの配線により光感応部分への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

また、各光感応部分は、第1導電型の半導体からなる半導体基板部分と、半導体基板部分に形成された第2導電型半導体領域とを含み、第2導電型半導体領域は1画素あたり4分割されており、その分割されている境界に、第1の方向に配列された複数の画素にわたって一方の光感応部分同士を電氣的に接続するための配線と第2の方向に配列された複数の画素にわたって他方の光感応部分同士を電氣的に接続するための配線とが設けられており、1画素あたり4分割された第2導電型半導体領域は、対角同士が配線に接続されていることが好ましい。

また、各光感応部分は、第1導電型の半導体からなる半導体基板部分と、半導体基板部分に形成された第2導電型半導体領域とを含み、第2導電型半導体領域は、光入射方向から見て4角形以上の多角形状を呈しており、1画素において1辺が隣接して形成されていることが好ましい。このように構成した場合、複数の光感応部分を1画素内に配設する際に、各光感応部分の面積が減少するのを抑制することができる。また、各光感応部分の面積に対する周囲長は減ることとなり、単位面積あたりに換算した暗電流が低減される。

また、一方の光感応部分の第2導電型半導体領域と他方の光感応部分の第2導電型半導体領域とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されていることが好ましい。このように構成した場合、第1の方向

に配列された複数の画素間において電氣的に接続された一方の光感応部分群及び第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群において、各光感応部分群の中心部分に対応する光感応部分が集中することとなり、解像度を向上することができる。

5       また、第2導電型半導体領域は、光入射方向から見てハニカム状に配列されていることが好ましい。このように構成した場合、複数の光感応部分を1画素内に配設する際に、各光感応部分の面積が減少するのをより一層抑制することができる。また、幾何学的対称性が高く、第2導電型半導体領域を形成するために用いるマスクが位置ずれしたことによる不均一性が抑制できる。

10       また、第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群からの電流出力を第2の方向に順次読み出すための第1シフトレジスタと、第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群からの電流出力を第1の方向に順次読み出すための第2シフトレジスタと、第1シフトレジスタにより順次読み出される各一方の光感応部分群  
15       からの電流出力を順次入力し、その電流出力を電圧値に変換して出力する第1積分回路と、第2シフトレジスタにより順次読み出される各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧値に変換して出力する第2積分回路と、を更に有していることが好ましい。このように構成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成  
20       にて得ることができる。

      また、第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する第1積分回路と、第1積分回路に対応して設けられ、対応する第1積分回路から出力される電圧値の変化量に応じた  
25       値の電圧を出力する第1CDS回路（相関二重サンプリング；Correlated Double Sampling）と、第1CDS回路に対応して設けられ、対応する第1CDS回路か

ら出力される電圧出力を保持して出力する第1 サンプルアンドホールド回路と、  
第1 サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検  
出する第1 最大値検出回路と、第1 サンプルアンドホールド回路それぞれから出  
力される電圧出力を順次入力し、その電圧出力を第1 最大値検出回路により検出  
5 された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する第1 A  
／D変換回路と、第2 の方向に配列された複数の画素間において電氣的に接続さ  
れた他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群から  
の電流出力を電圧出力に変換して、当該電圧値を出力する第2 積分回路と、第2  
積分回路に対応して設けられ、対応する第2 積分回路から出力される電圧値の変  
10 化量に応じた値の電圧を出力する第2 CDS回路と、第2 CDS回路に対応して  
設けられ、対応する第2 CDS回路から出力される電圧出力を保持して出力する  
第2 サンプルアンドホールド回路と、第2 サンプルアンドホールド回路それぞれ  
から出力される電圧出力の最大値を検出する第2 最大値検出回路と、第2 サンプ  
ルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧  
15 出力を第2 最大値検出回路により検出された最大値に基づいてデジタル値に変換  
し、そのデジタル値を出力する第2 A／D変換回路と、を更に有していることが  
好ましい。このように構成した場合、第1 積分回路及び第2 積分回路それぞれが  
積分動作ごとに異なるノイズばらつきを有していても、第1 CDS回路及び第2  
CDS回路によりノイズ誤差が解消される。また、光感応部分に入射する光強度  
20 が大きいときのみならず、光強度が小さくてもA／D変換の分解能が優れたもの  
となる。この結果、第1 の方向での輝度プロファイルと第2 の方向での輝度プロ  
ファイルとを高精度にて得ることができる。

また、上述した第1 の目的を達成するため、本発明に係る光検出装置は、光感  
応領域を有する光検出装置であって、光感応領域は、第1 の方向にわたって互い  
25 に電氣的に接続される複数の第1 光感応部分と第1 の方向に交差する第2 の方向  
にわたって互いに電氣的に接続される複数の第2 光感応部分とを含み、複数の第

1 光感応部分と複数の第 2 光感応部分とは 2 次元的に混在した状態で同一面内にて配列されていることを特徴としている。

本発明に係る光検出装置では、光感応領域に入射した光はいずれかの第 1 光感  
応部分及び第 2 光感応部分において検出されて、光強度に応じた電流が各光感  
5 応部分毎に出力される。そして、第 1 光感応部分同士が第 1 の方向にわたって電  
氣的に接続されているので、第 1 光感応部分からの電流出力は第 1 の方向に送ら  
れる。また、第 2 光感応部分同士が第 2 の方向にわたって電氣的に接続されてい  
るので、第 2 光感応部分からの電流出力は第 2 の方向に送られる。このように、第  
1 光感応部分からの電流出力は第 1 の方向に送られるとともに、第 2 光感応部分  
10 からの電流出力は第 2 の方向に送られることから、第 1 の方向での輝度プロフ  
ァイルと第 2 の方向での輝度プロファイルとをそれぞれ独立して得ることが可能  
となる。この結果、複数の第 1 光感応部分と複数の第 2 光感応部分とを 2 次元的に  
混在した状態で同一面内にて配列するという極めて簡素な構成にて、入射した光  
の 2 次元位置を高速に検出することができる。

15 また、複数の第 1 光感応部分と複数の第 2 光感応部分とは、第 1 の方向あるい  
は第 2 の方向において交互に配列されていることが好ましい。このように構成し  
た場合、複数の第 1 光感応部分と複数の第 2 光感応部分とを 2 次元的に混在した  
状態で同一面内にて配列させる際に、各光感応部分の面積が減少するのを抑制す  
ることができる。

20 また、複数の第 1 光感応部分と複数の第 2 光感応部分とは、第 1 の方向と第 2  
の方向とに交差する第 3 の方向において交互に配列されていることが好ましい。  
このように構成した場合、第 1 の方向にわたって互いに電氣的に接続された第 1  
光感応部分群及び第 2 の方向にわたって互いに電氣的に接続された第 2 光感応部  
分群において、各光感応部分群の中心部分に対応する光感応部分が集中すること  
25 となり、解像度を向上することができる。

また、各光感応部分は、光入射方向から見てハニカム状に配列されていること



が好ましい。このように構成した場合、複数の第1光感応部分と複数の第2光感  
応部分とを2次元的に混在した状態で同一面内にて配列させる際に、各光感応部  
分の面積が減少するのをより一層抑制することができる。また、幾何学的対称性  
が高く、第2導電型半導体領域を形成するために用いるマスクが位置ずれしたこ  
とによる不均一性が抑制できる。

また、各光感応部分は、第1導電型の半導体からなる半導体基板部分と、半導  
体基板部分に形成された第2導電型半導体領域とを含み、第2導電型半導体領域  
は、光入射方向から見て略多角形状を呈しており、互いに1辺が隣接して形成さ  
れていることが好ましい。このように構成した場合、複数の第1光感応部分と複  
数の第2光感応部分とを2次元的に混在した状態で同一面内にて配列させる際に、  
各光感応部分の面積が減少するのを抑制することができる。なお、第2導電型半  
導体領域の形状を4角形以上の多角形状とした場合、各光感応部分の面積に対す  
る周囲長が減ることとなり、単位面積あたりに換算した暗電流が低減される。

また、第1光感応部分同士を電氣的に接続するための配線が、各光感応部分間  
を第1の方向に延びて設けられており、第2光感応部分同士を電氣的に接続する  
ための配線が、各光感応部分間を第2の方向に延びて設けられていることが好ま  
しい。このように構成した場合、それぞれの配線により光感応部分への光の入射  
を妨げられることはなく、検出感度の低下を抑制できる。

また、第1の方向にわたって互いに電氣的に接続された第1光感応部分群から  
の電流出力を第2の方向に順次読み出すための第1シフトレジスタと、第2の方  
向にわたって互いに電氣的に接続された第2光感応部分群からの電流出力を第1  
の方向に順次読み出すための第2シフトレジスタと、第1シフトレジスタにより  
順次読み出される各第1光感応部分群からの電流出力を順次入力し、その電流出  
力を電圧出力に変換する第1積分回路と、第2シフトレジスタにより順次読み出  
される各第2光感応部分群からの電流出力を順次入力し、その電流出力を電圧出  
力に変換する第2積分回路と、を更に有していることが好ましい。このように構

成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

また、第1の方向にわたって互いに電氣的に接続された第1光感応部分群に対応して設けられ、対応する第1光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する第1積分回路と、第1積分回路に対応して設けられ、対応する第1積分回路から出力される電圧値の変化量に応じた値の電圧を出力する第1 CDS回路と、第1 CDS回路に対応して設けられ、対応する第1 CDS回路から出力される電圧出力を保持して出力する第1 サンプルアンドホールド回路と、第1 サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する第1 最大値検出回路と、第1 サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を第1 最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する第1 A/D変換回路と、第2の方向にわたって互いに電氣的に接続された第2光感応部分群に対応して設けられ、対応する第2光感応部分群からの電流出力を電圧出力に変換して、当該電圧値を出力する第2積分回路と、第2積分回路に対応して設けられ、対応する第2積分回路から出力される電圧値の変化量に応じた値の電圧を出力する第2 CDS回路と、第2 CDS回路に対応して設けられ、対応する第2 CDS回路から出力される電圧出力を保持して出力する第2 サンプルアンドホールド回路と、第2 サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する第2 最大値検出回路と、第2 サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を第2 最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する第2 A/D変換回路と、を更に有していることが好ましい。このように構成した場合、第1積分回路及び第2積分回路それぞれが積分動作ごとに異なるノイズばらつきを有していても、第1 CDS回路及び第2 CDS回路によりノイズ誤差が解消される。また、光感応部分に入射する光強度が大きいときのみなら

ず、光強度が小さくてもA/D変換の分解能が優れたものとなる。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。

上述した第2の目的を達成するため、本発明に係る撮像装置は、上記光検出装置が2次元配列されていることを特徴としている。

本発明に係る光検出装置では、上記光検出装置が2次元配列されているので、極めて簡素な構成にて、入射した光の輝度プロファイルを高速に検出することができる。

また、2次元配列における第2の方向に配列された複数の上記光検出装置からなる光検出装置群毎において、第1の方向に配列された複数の画素間にわたって電氣的に接続された一方の光感応部分群からの電流出力を第2の方向に順次読み出すための第1シフトレジスタと、第2の方向に配列された複数の光検出装置からなる光検出装置群毎に設けられ、第1シフトレジスタにより順次読み出される各一方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第1積分回路と、2次元配列における第1の方向に配列された複数の光検出装置からなる光検出装置群毎において、第2の方向に配列された複数の画素間にわたって電氣的に接続された他方の光感応部分群からの電流出力を第1の方向に順次読み出すための第2シフトレジスタと、第1の方向に配列された複数の光検出装置からなる光検出装置群毎に設けられ、第2シフトレジスタにより順次読み出される各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第2積分回路と、を更に有していることが好ましい。

上述した第3の目的を達成するため、本発明に係る距離画像取得装置は、上記撮像装置が所定の間隔を有して一対配置されており、第1積分回路及び第2積分回路からの電圧出力に基づいて、光検出装置毎における視差量を抽出する視差量抽出手段と、視差量抽出手段にて抽出された視差量に基づいて、光検出装置毎における被測定物までの距離を演算する距離演算手段と、距離演算手段にて演算さ

れた距離に基づいて、距離画像を生成する距離画像生成手段と、を有していることを特徴としている。

5 本発明に係る距離画像取得装置では、撮像装置に含まれる光検出装置毎において距離画像を得るために扱うデータ量が極めて少なくてすむ。この結果、距離画像を取得するための演算速度を低く抑えて、低消費電流化及び低発熱化を図ることができる。

#### 図面の簡単な説明

図 1 は、本実施形態に係る光検出装置を示す概念概略構成図である。

10 図 2 は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す平面図である。

図 3 は、図 2 の I I I - I I I 線に沿った断面図である。

図 4 は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す平面図である。

15 図 5 は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す平面図である。

図 6 は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す平面図である。

図 7 は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す平面図である。

20 図 8 は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す平面図である。

図 9 は、本実施形態に係る光検出装置に含まれる第 1 信号処理回路を示す概略構成図である。

25 図 10 は、本実施形態に係る光検出装置に含まれる第 2 信号処理回路を示す概略構成図である。

図 11 A は、第 1 シフトレジスタに入力されるスタート信号の経時的変化を示

すグラフである。

図 1 1 B は、第 1 シフトレジスタに入力される信号の経時的変化を示すグラフである。

5 図 1 1 C は、第 1 シフトレジスタに入力される信号の経時的変化を示すグラフである。

図 1 1 D は、第 1 積分回路に入力されるリセット信号の経時的変化を示すグラフである。

図 1 1 E は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

10 図 1 1 F は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 1 1 G は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

15 図 1 1 H は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 1 1 I は、第 1 信号処理回路から出力される電圧の経時的変化を示すグラフである。

図 1 2 A は、第 2 シフトレジスタに入力されるスタート信号の経時的変化を示すグラフである。

20 図 1 2 B は、第 2 シフトレジスタに入力される信号の経時的変化を示すグラフである。

図 1 2 C は、第 2 シフトレジスタに入力される信号の経時的変化を示すグラフである。

25 図 1 2 D は、第 2 積分回路に入力されるリセット信号の経時的変化を示すグラフである。

図 1 2 E は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフ

フである。

図 1 2 F は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフである。

5 図 1 2 G は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 1 2 H は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 1 2 I は、第 2 信号処理回路から出力される電圧の経時的変化を示すグラフである。

10 図 1 3 は、本実施形態に係る光検出装置に含まれる第 1 信号処理回路の変形例を示す概略構成図である。

図 1 4 は、本実施形態に係る光検出装置に含まれる第 2 信号処理回路の変形例を示す概略構成図である。

図 1 5 は、第 1 信号処理回路の変形例に含まれる第 1 積分回路の回路図である。

15 図 1 6 は、第 1 信号処理回路の変形例に含まれる第 1 C D S 回路の回路図である。

図 1 7 は、第 1 信号処理回路の変形例に含まれる第 1 S / H 回路の回路図である。

20 図 1 8 は、第 1 信号処理回路の変形例に含まれる第 1 最大値検出回路の回路図である。

図 1 9 は、第 1 信号処理回路の変形例に含まれる第 1 A / D 変換回路の回路図である。

図 2 0 は、本実施形態に係る光検出装置の変形例を示す概念構成図である。

図 2 1 は、本実施形態に係る撮像装置を示す概念概略構成図である。

25 図 2 2 は、本実施形態に係る撮像装置を示す概念概略構成図である。

図 2 3 A は、第 1 シフトレジスタに入力されるスタート信号の経時的変化を示

すグラフである。

図 2 3 B は、第 1 シフトレジスタに入力される信号の経時的変化を示すグラフである。

5 図 2 3 C は、第 1 シフトレジスタに入力される信号の経時的変化を示すグラフである。

図 2 3 D は、各第 1 積分回路に入力されるリセット信号の経時的変化を示すグラフである。

図 2 3 E は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

10 図 2 3 F は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 2 3 G は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

15 図 2 3 H は、第 1 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 2 3 I は、第 1 積分回路から出力される電圧の経時的変化を示すグラフである。

図 2 3 J は、第 1 積分回路から出力される電圧の経時的変化を示すグラフである。

20 図 2 4 A は、第 2 シフトレジスタに入力されるスタート信号の経時的変化を示すグラフである。

図 2 4 B は、第 2 シフトレジスタに入力される信号の経時的変化を示すグラフである。

25 図 2 4 C は、第 2 シフトレジスタに入力される信号の経時的変化を示すグラフである。

図 2 4 D は、各第 2 積分回路に入力されるリセット信号の経時的変化を示すグ

ラフである。

図 2 4 E は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 2 4 F は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 2 4 G は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 2 4 H は、第 2 シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 2 4 I は、第 2 積分回路から出力される電圧の経時的変化を示すグラフである。

図 2 4 J は、第 2 積分回路から出力される電圧の経時的変化を示すグラフである。

図 2 5 は、本実施形態に係る距離画像取得装置を示す概念概略構成図である。

図 2 6 は、本実施形態に係る距離画像取得装置を示す概念概略構成図である。  
発明を実施するための最良の形態

本発明の実施形態に係る光検出装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータ  $M$  および  $N$  それぞれを 2 以上の整数とする。また、特に明示しない限りは、パラメータ  $m$  を 1 以上  $M$  以下の任意の整数とし、パラメータ  $n$  を 1 以上  $N$  以下の任意の整数とする。

図 1 は、本実施形態に係る光検出装置を示す概念構成図である。本実施形態に係る光検出装置 1 は、図 1 に示されるように、光感応領域 10 と、第 1 信号処理回路 20 と、第 2 信号処理回路 30 とを有している。

光感応領域 10 は、画素  $11_{mn}$  が  $M$  行  $N$  列に 2 次元配列されている。1 画素は、各々に入射した光の強度に応じた電流を出力する光感応部分  $12_{mn}$  (第 1 光感応



部分) 及び光感応部分  $13_{mn}$  (第2光感応部分)) を同一面内にて隣接して配設することで構成されている。これにより、光感応領域 10 において、光感応部分  $12_{mn}$  と光感応部分  $13_{mn}$  とは2次元的に混在した状態で同一面内にて配列されることとなる。

- 5        2次元配列における第1の方向に配列された複数の画素  $11_{11} \sim 11_{1N}$ ,  $11_{21} \sim 11_{2N}$ ,  $\dots$ ,  $11_{M1} \sim 11_{MN}$  にわたって、当該各画素  $11_{mn}$  を構成する複数の光感応部分  $12_{mn}$ ,  $13_{mn}$  のうち一方の光感応部分  $12_{mn}$  同士 (たとえば、一方の光感応部分  $12_{11} \sim 12_{1N}$ ) が互いに電氣的に接続されている。また、
- 10        2次元配列における第2の方向に配列された複数の画素  $11_{11} \sim 11_{M1}$ ,  $11_{12} \sim 11_{M2}$ ,  $\dots$ ,  $11_{1N} \sim 11_{MN}$  にわたって、当該各画素  $11_{mn}$  を構成する複数の光感応部分  $12_{mn}$ ,  $13_{mn}$  のうち他方の光感応部分  $13_{mn}$  同士 (たとえば、他方の光感応部分  $13_{11} \sim 13_{M1}$ ) が互いに電氣的に接続されている。

ここで、図2及び図3に基づいて、光感応領域 10 の構成について説明する。図2は、光検出装置に含まれる光感応領域の一例を示す平面図であり、図3は、図2の I-I 線に沿った断面図である。なお、図2においては、保護層 48 の図示を省略している。

光感応領域 10 は、P型 (第1導電型) の半導体からなる半導体基板 40 と、当該半導体基板 40 の表層に形成されたN型 (第2導電型) の半導体領域 41, 42 とを含んでいる。これにより、各光感応部分  $12_{mn}$ ,  $13_{mn}$  は半導体基板 40 部分と一組の第2導電型半導体領域 41, 42 とを含み、フォトダイオードが構成されることとなる。第2導電型半導体領域 41, 42 は、図2に示されるように、光入射方向から見て略三角形状を呈しており、1画素において2つの領域 41, 42 が互いに一辺が隣接して形成されている。半導体基板 40 は、接地電位とされている。なお、光感応領域 10 は、N型の半導体からなる半導体基板と、

20

25        当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されているもよい。領域 41 (光感応部分  $12_{mn}$ ) と領域 42 (光感応部分  $13_{mn}$ ) とは、

図2から分かるように、第1の方向及び第2の方向において交互に配列されている。また、領域41（光感応部分12<sub>mn</sub>）と領域42（光感応部分13<sub>mn</sub>）とは、第1の方向と第2の方向とに交差する（たとえば、45°にて交差する）第3の方向及び第4の方向において交互に配列されている。

5        半導体基板40と領域41、42の上には第1絶縁層43が形成され、この第1絶縁層43に形成されたスルーホールを介して第1配線44が一方の領域41に電氣的に接続されている。また、第1絶縁層43に形成されたスルーホールを介して電極45が他方の領域42に電氣的に接続されている。

10       第1絶縁層43の上には第2絶縁層46が形成され、この第2絶縁層46に形成されたスルーホールを介して第2配線47が電極45に電氣的に接続されている。これにより、他方の領域42は、電極45を介して第2配線47に電氣的に接続されることになる。

15       第2絶縁層46の上には保護層48が形成されている。第1絶縁層43、第2絶縁層46及び保護層48は、SiO<sub>2</sub>又はSiN等からなる。第1配線44、電極45及び第2配線47は、Al等の金属からなる。

20       第1配線44は、各画素11<sub>mn</sub>における一方の領域41を第1の方向にわたって電氣的に接続するものであって、画素11<sub>mn</sub>間を第1の方向に延びて設けられている。このように、各画素11<sub>mn</sub>における一方の領域41を第1配線44で接続することにより、2次元配列における第1の方向に配列された複数の画素11<sub>11</sub>～11<sub>1N</sub>、11<sub>21</sub>～11<sub>2N</sub>、・・・、11<sub>M1</sub>～11<sub>MN</sub>にわたって一方の光感応部分12<sub>mn</sub>同士（たとえば、一方の光感応部分12<sub>11</sub>～12<sub>1N</sub>）が電氣的に接続されて、光感応領域10において第1の方向に長く延びる光感応部が構成される。この第1の方向に長く延びる光感応部はM列形成されることになる。

25       第2配線47は、各画素11<sub>mn</sub>における他方の領域42を第2の方向にわたって電氣的に接続するものであって、画素11<sub>mn</sub>間を第2の方向に延びて設けられている。このように、各画素11<sub>mn</sub>における他方の領域42を第2配線47で接

続することにより、2次元配列における第2の方向に配列された複数の画素  $1\ 1_{11} \sim 1\ 1_{M1}$ ,  $1\ 1_{12} \sim 1\ 1_{M2}$ ,  $\dots$ ,  $1\ 1_{1N} \sim 1\ 1_{MN}$  にわたって他方の光感応部分  $1\ 3_{mn}$  同士（たとえば、他方の光感応部分  $1\ 3_{11} \sim 1\ 3_{M1}$ ）が電氣的に接続されて、光感応領域  $1\ 0$  において第2の方向に長く延びる光感応部が構成される。この第2の方向に長く延びる光感応部はN行形成されることになる。

また、光感応領域  $1\ 0$  においては、上述した第1の方向に長く延びるM列の光感応部と第2の方向に長く延びるN行の光感応部とが同一面上に形成されることになる。

領域  $4\ 1$ ,  $4\ 2$  の形状は、図2に示された略三角形形状のものに限られず、図4～図8に示されるように、他の形状であってもよい。

図4に示された第2導電型半導体領域（光感応部分）は、光入射方向から見て長方形状を呈しており、1画素において2つの領域  $4\ 1$ ,  $4\ 2$  が互いに長辺が隣接して形成されている。領域  $4\ 1$ （光感応部分  $1\ 2_{mn}$ ）と領域  $4\ 2$ （光感応部分  $1\ 3_{mn}$ ）とは、第2の方向において交互に配列されている。図4に示されるように、1画素あたり第1の方向と第2の方向の第2導電型半導体領域の面積が異なっているとしても、画素間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての配線で各々に接続されている光感応領域の総面積が同じであればよい。

図5に示された第2導電型半導体領域（光感応部分）は、略三角形形状を呈した一方の領域  $4\ 1$  が第1の方向に連続して形成されている。他方の領域  $4\ 2$  は略三角形形状を呈しており、各画素  $1\ 1_{mn}$  間で独立して形成されている。領域  $4\ 1$ （光感応部分  $1\ 2_{mn}$ ）と領域  $4\ 2$ （光感応部分  $1\ 3_{mn}$ ）とは、第2の方向において交互に配列されている。なお、一方の領域  $4\ 1$  を第1の方向に連続して形成した場合、必ずしも第1配線  $4\ 4$  を設ける必要はないが、直列抵抗の増加に伴って読み出し速度が低下することが考えられることから、第1配線  $4\ 4$  にて各領域  $4\ 1$  を電氣的に接続するのが好ましい。

図6に示された第2導電型半導体領域（光感応部分）は、1画素あたり4つの領域41a, 41b, 42a, 42bからなり、対角に位置する領域を対として、第1配線44あるいは第2配線47にて電氣的に接続されている。領域41（光感応部分12<sub>mn</sub>）と領域42（光感応部分13<sub>mn</sub>）とは、第1の方向及び第2の方向において交互に配列されている。また、領域41（光感応部分12<sub>mn</sub>）と領域42（光感応部分13<sub>mn</sub>）とは、第3の方向及び第4の方向において交互に配列されている。

図7に示された第2導電型半導体領域（光感応部分）は、2つの櫛状の領域41, 42がお互い噛み合うように形成されている。

図8に示された第2導電型半導体領域（光感応部分）は、光入射方向から見て4角形以上の多角形状（たとえば8角形状）を呈しており、1画素において1辺が隣接して形成されている。そして、領域41と領域42とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されており、光入射方向から見てハニカム状に配列されている。すなわち、領域41（光感応部分12<sub>mn</sub>）と領域42（光感応部分13<sub>mn</sub>）とは、第3の方向及び第4の方向において交互に配列されている。

続いて、図9及び図10に基づいて、第1信号処理回路20及び第2信号処理回路30の構成について説明する。図9は、第1信号処理回路を示す概略構成図であり、図10は、第2信号処理回路を示す概略構成図である。

第1信号処理回路20は、光感応領域10に入射した光の第2の方向での輝度プロファイルを示す電圧 $H_{out}$ を出力する。第2信号処理回路30は、光感応領域10に入射した光の第1の方向での輝度プロファイルを示す電圧 $V_{out}$ を出力する。第1信号処理回路20及び第2信号処理回路30は、同じタイミングにて動作させてもよく、時系列順で独立して動作させてもよい。

第1信号処理回路20は、図9に示されるように、第1の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$ ,  $11_{21} \sim 11_{2N}$ ,  $\dots$ ,  $11_{M1} \sim 11_{MN}$ 間におい

て電氣的に接続された一方の光感応部分  $1\ 2_{mn}$  群（一方の第 2 導電型半導体領域  $4\ 1$  からなり、第 1 の方向に長く延びる M 列の光感応部）に対応して設けられた第 1 スイッチ素子  $2\ 1$  と、第 1 の方向に配列された複数の画素  $1\ 1_{11} \sim 1\ 1_{1N}$ ,  $1\ 1_{21} \sim 1\ 1_{2N}$ ,  $\dots$ ,  $1\ 1_{M1} \sim 1\ 1_{MN}$  間において電氣的に接続された一方の光感応部分  $1\ 2_{mn}$  群からの電流を第 2 の方向に順次読み出すための第 1 シフトレジスタ  $2\ 2$  と、第 1 シフトレジスタ  $2\ 2$  により順次読み出される各一方の光感応部分  $1\ 2_{mn}$  群からの電流を順次入力し、その電流を電圧に変換して出力する第 1 積分回路  $2\ 3$  とを含んでいる。

第 1 スイッチ素子  $2\ 1$  は、第 1 シフトレジスタ  $2\ 2$  から出力される信号  $s\ h\ i\ f\ t\ (H_m)$  により制御されて順次閉じられる。第 1 スイッチ素子  $2\ 1$  を閉じることにより、第 1 の方向に配列された複数の画素  $1\ 1_{11} \sim 1\ 1_{1N}$ ,  $1\ 1_{21} \sim 1\ 1_{2N}$ ,  $\dots$ ,  $1\ 1_{M1} \sim 1\ 1_{MN}$  間において電氣的に接続された一方の光感応部分  $1\ 2_{mn}$  群に蓄積された電荷が電流となって、第 1 配線  $4\ 4$  及び第 1 スイッチ素子  $2\ 1$  を介して第 1 積分回路  $2\ 3$  に出力される。第 1 シフトレジスタ  $2\ 2$  は、制御回路（図示せず）から出力される信号  $\Phi_{H1}$ ,  $\Phi_{H2}$ ,  $\Phi_{Hst}$  によりその動作が制御されて、第 1 スイッチ素子  $2\ 1$  を順次閉じる。

第 1 積分回路  $2\ 3$  は、第 1 の方向に配列された複数の  $1\ 1_{11} \sim 1\ 1_{1N}$ ,  $1\ 1_{21} \sim 1\ 1_{2N}$ ,  $\dots$ ,  $1\ 1_{M1} \sim 1\ 1_{MN}$  間において電氣的に接続された一方の光感応部分  $1\ 2_{mn}$  群からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプ  $2\ 4$  と、アンプ  $2\ 4$  の入力端子に一方の端子が接続され、アンプ  $2\ 4$  の出力端子に他方の端子が接続された容量素子  $2\ 5$  と、アンプ  $2\ 4$  の入力端子に一方の端子が接続され、アンプ  $2\ 4$  の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号  $\Phi_{Hreset}$  が有意の場合には「ON」状態となり、リセット信号  $\Phi_{Hreset}$  が非有意の場合には「OFF」状態となるスイッチ素子  $2\ 6$  とを有している。

第 1 積分回路  $2\ 3$  は、スイッチ素子  $2\ 6$  が「ON」状態であるときには、容量

素子 25 を放電して初期化する。一方、第 1 積分回路 23 は、スイッチ素子 26 が「OFF」状態であるときには、第 1 の方向に配列された複数の画素  $11_{11} \sim 11_{1N}, 11_{21} \sim 11_{2N}, \dots, 11_{M1} \sim 11_{MN}$  間において電氣的に接続された一方の光感応部分  $12_{mn}$  群から入力端子に入力した電荷を容量素子 25 に蓄積して、その蓄積された電荷に応じた電圧  $H_{out}$  を出力端子から出力する。

第 2 信号処理回路 30 は、図 10 に示されるように、第 2 の方向に配列された複数の  $11_{11} \sim 11_{M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$  間において電氣的に接続された他方の光感応部分  $13_{mn}$  群（他方の第 2 導電型半導体領域 42 からなり、第 2 の方向に長く延びる N 行の光感応部）に対応して設けられた第 2 スwitch素子 31 と、第 2 の方向に配列された複数の画素  $11_{11} \sim 11_{M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$  間において電氣的に接続された他方の光感応部分  $13_{mn}$  群からの電流を第 1 の方向に順次読み出すための第 2 シフトレジスタ 32 と、第 2 シフトレジスタ 32 により順次読み出される各他方の光感応部分  $13_{mn}$  群からの電流を順次入力し、その電流を電圧に変換して出力する第 2 積分回路 33 とを含んでいる。

第 2 スwitch素子 31 は、第 2 シフトレジスタ 32 から出力される信号  $s_{hit} (V_n)$  により制御されて順次閉じられる。第 2 スwitch素子 31 を閉じることにより、第 2 の方向に配列された複数の画素  $11_{11} \sim 11_{M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$  間において電氣的に接続された他方の光感応部分  $13_{mn}$  群に蓄積された電荷が電流となって、第 2 配線 47 及び第 2 スwitch素子 31 を介して第 2 積分回路 33 に出力される。第 2 シフトレジスタ 32 は、制御回路から出力される信号  $\Phi_{V1}, \Phi_{V2}, \Phi_{Vs}$  によりその動作が制御されて、第 2 スwitch素子 31 を順次閉じる。

第 2 積分回路 33 は、第 2 の方向に配列された複数の画素  $11_{11} \sim 11_{M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$  間において電氣的に接続された他方の光感応部分  $13_{mn}$  群からの電流出力を入力し、入力した電流出力の電荷を増幅する

アンプ 3 4 と、アンプ 3 4 の入力端子に一方の端子が接続され、アンプ 3 4 の出力端子に他方の端子が接続された容量素子 3 5 と、アンプ 3 4 の入力端子に一方の端子が接続され、アンプ 3 4 の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号  $\Phi_{v_{reset}}$  が有意の場合には「ON」状態となり、リ  
 5 セット信号  $\Phi_{v_{reset}}$  が非有意の場合には「OFF」状態となるスイッチ素子 3 6 とを有している。

第 2 積分回路 3 3 は、スイッチ素子 3 6 が「ON」状態であるときには、容量素子 3 5 を放電して初期化する。一方、第 2 積分回路 3 3 は、スイッチ素子 3 6 が「OFF」状態であるときには、第 2 の方向に配列された複数の画素  $1\ 1_{11} \sim$   
 10  $1\ 1_{M1}$ ,  $1\ 1_{12} \sim 1\ 1_{M2}$ ,  $\dots$ ,  $1\ 1_{1N} \sim 1\ 1_{MN}$  間において電氣的に接続された他方の光感応部分  $1\ 3_{mn}$  群から入力端子に入力した電荷を容量素子 3 5 に蓄積して、その蓄積された電荷に応じた電圧  $V_{out}$  を出力端子から出力する。

続いて、図 1 1 A ～ 図 1 1 I 及び図 1 2 A ～ 図 1 2 I に基づいて、第 1 信号処理回路 2 0 及び第 2 信号処理回路 3 0 の動作について説明する。図 1 1 A ～ 図 1  
 15 1 I は、第 1 信号処理回路の動作を説明するためのタイミングチャートであり、図 1 2 A ～ 図 1 2 I は、第 2 信号処理回路の動作を説明するためのタイミングチャートである。

制御回路から第 1 シフトレジスタ 2 2 にスタート信号  $\Phi_{Hst}$  が入力されると（図 1 1 A 参照）、信号  $\Phi_{H2}$  の立ち上がりから信号  $\Phi_{H1}$  の立下りまでの期間に対応したパルス幅を有する信号  $shift\ (H_m)$  が順次出力される（図 1 1 B、  
 20 図 1 1 C、及び図 1 1 E ～ 図 1 1 H 参照）。第 1 シフトレジスタ 2 2 から対応する第 1 スイッチ素子 2 1 に  $shift\ (H_m)$  が出力されると、第 1 スイッチ素子 2 1 が順次閉じ、対応する一方の光感応部分  $1\ 2_{mn}$  群に蓄積された電荷が電流となって第 1 積分回路 2 3 に順次出力される。

第 1 積分回路 2 3 には、制御回路からリセット信号  $\Phi_{Hreset}$  が入力されている（図 1 1 D 参照）。リセット信号  $\Phi_{Hreset}$  が「OFF」状態の期間、対応する

一方の光感応部分  $1\ 2_{mn}$  群に蓄積された電荷が容量素子 2 5 に蓄積されて、蓄積された電荷量に応じた電圧  $H_{out}$  が第 1 積分回路 2 3 から順次出力される（図 1 1 I 参照）。なお、第 1 積分回路 2 3 は、リセット信号  $\Phi_{Hreset}$  が「ON」状態のときにはスイッチ素子 2 6 を閉じて容量素子 2 5 を初期化する。

5        このように、第 1 信号処理回路 2 0 からは、第 1 の方向に配列された複数の画素  $1\ 1_{11} \sim 1\ 1_{1N}$ ,  $1\ 1_{21} \sim 1\ 1_{2N}$ ,  $\dots$ ,  $1\ 1_{M1} \sim 1\ 1_{MN}$  間において電氣的に接続された一方の光感応部分  $1\ 2_{mn}$  群にて蓄積されて電荷（電流）に対応した電圧  $H_{out}$  が、対応する一方の光感応部分  $1\ 2_{mn}$  群毎に順次時系列データとして出力される。この時系列データは、第 2 の方向での輝度プロファイルを示すものである。

10        制御回路から第 2 シフトレジスタ 3 2 にスタート信号  $\Phi_{Vst}$  が入力されると（図 1 2 A 参照）、信号  $\Phi_{V2}$  の立ち上がりから信号  $\Phi_{V1}$  の立下りまでの期間に対応したパルス幅を有する信号  $shift(V_n)$  が順次出力される（図 1 2 B、図 1 2 C、及び図 1 2 E～図 1 2 H 参照）。第 2 シフトレジスタ 3 2 から対応する  
15        第 2 スイッチ素子 3 1 に  $shift(V_n)$  が出力されると、第 2 スイッチ素子 3 1 が順次閉じ、対応する他方の光感応部分  $1\ 3_{mn}$  群に蓄積された電荷が電流となって第 2 積分回路 3 3 に順次出力される。

20        第 2 積分回路 3 3 には、制御回路からリセット信号  $\Phi_{Vreset}$  が入力されている（図 1 2 D 参照）。リセット信号  $\Phi_{Vreset}$  が「OFF」状態の期間、対応する他方の光感応部分  $1\ 3_{mn}$  群に蓄積された電荷が容量素子 3 5 に蓄積されて、蓄積された電荷量に応じた電圧  $V_{out}$  が第 2 積分回路 3 3 から順次出力される（図 1 2 I 参照）。なお、第 2 積分回路 3 3 は、リセット信号  $\Phi_{Vreset}$  が「ON」状態のときにはスイッチ素子 3 6 を閉じて容量素子 3 5 を初期化する。

25        このように、第 2 信号処理回路 3 0 からは、第 2 の方向に配列された複数の画素  $1\ 1_{11} \sim 1\ 1_{M1}$ ,  $1\ 1_{12} \sim 1\ 1_{M2}$ ,  $\dots$ ,  $1\ 1_{1N} \sim 1\ 1_{MN}$  間において電氣的に接続された他方の光感応部分  $1\ 3_{mn}$  群にて蓄積されて電荷（電流）に対応し



た電圧  $V_{out}$  が、対応する他方の光感応部分  $13_{mn}$  群毎に順次時系列データとして出力される。この時系列データは、第1の方向での輝度プロファイルを示すものである。

5 以上のように、本実施形態の光検出装置1においては、1つの画素  $11_{mn}$  に入射した光は当該画素  $11_{mn}$  を構成する複数の光感応部分  $12_{mn}$ ,  $13_{mn}$  それぞれに、光強度に応じた電流が光感応部分  $12_{mn}$ ,  $13_{mn}$  毎に出力される。そして、一方の光感応部分  $12_{mn}$  同士が2次元配列における第1の方向に配列された複数の画素  $11_{11} \sim 11_{1N}$ ,  $11_{21} \sim 11_{2N}$ ,  $\dots$ ,  $11_{M1} \sim 11_{MN}$  にわたって電氣的に接続されているので、一方の光感応部分  $12_{mn}$  から出力された電流は  
10 第1の方向に送られる。また、他方の光感応部分  $13_{mn}$  同士が2次元配列における第2の方向に配列された複数の画素  $11_{11} \sim 11_{M1}$ ,  $11_{12} \sim 11_{M2}$ ,  $\dots$ ,  $11_{1N} \sim 11_{MN}$  にわたって電氣的に接続されているので、他方の光感応部分  $13_{mn}$  から出力された電流は第2の方向に送られる。このように、一方の光感応部分  $12_{mn}$  から出力された電流は第1の方向に送られるとともに、他方の光感応部分  
15  $13_{mn}$  から出力された電流は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分  $12_{mn}$ ,  $13_{mn}$  を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

20 また、本実施形態の光検出装置1において、各光感応部分  $12_{mn}$ ,  $13_{mn}$  は、半導体基板40部分と第2導電型半導体領域41, 42とを含み、第2導電型半導体領域41, 42は、光入射方向から見て略三角形状を呈しており、1画素において互いに一辺が隣接して形成されている。これにより、複数の光感応部分  $12_{mn}$ ,  $13_{mn}$  を1画素内に配設する際に、各光感応部分  $12_{mn}$ ,  $13_{mn}$  (第2  
25 導電型半導体領域41, 42) の面積が減少するのを抑制することができる。

また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42

は、光入射方向から見て略長方形形状を呈しており、1画素において長辺が隣接して形成されている。これにより、複数の光感応部分 $12_{mn}$ 、 $13_{mn}$ を1画素内に配設する際に、各光感応部分 $12_{mn}$ 、 $13_{mn}$ （第2導電型半導体領域41、42）の面積が減少するのを抑制することができる。

5       また、本実施形態の光検出装置1において、第2導電型半導体領域41、42は、光入射方向から見て4角形以上の多角形状を呈しており、1画素において1辺が隣接して形成されている。これにより、複数の光感応部分 $12_{mn}$ 、 $13_{mn}$ （第2導電型半導体領域41、42）を1画素内に配設する際に、各光感応部分 $12_{mn}$ 、 $13_{mn}$ の面積が減少するのを抑制することができる。また、各光感応部分 $12_{mn}$ 、 $13_{mn}$ の面積に対する周囲長は減ることとなり、単位面積当たりに換算した暗電流が低減される。なお、4角形以上の多角形状として、菱形形状を採用してもよい。

15       また、本実施形態の光検出装置1において、第2導電型半導体領域41、42とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されている。これにより、一方の光感応部分 $12_{mn}$ 群及び他方の光感応部分 $13_{mn}$ 群において、各光感応部分 $12_{mn}$ 、 $13_{mn}$ 群の中心部分に対応する光感応部分 $12_{mn}$ 、 $13_{mn}$ が集中することとなり、解像度を向上することができる。

20       また、第2導電型半導体領域41、42は、光入射方向から見てハニカム状に配列されている。これにより、複数の光感応部分 $12_{mn}$ 、 $13_{mn}$ （第2導電型半導体領域41、42）を1画素内に配設する際に、各光感応部分 $12_{mn}$ 、 $13_{mn}$ の面積が減少するのをより一層抑制することができる。また、幾何学的対称性が高く、第2導電型半導体領域41、42（光感応部分 $12_{mn}$ 、 $13_{mn}$ ）を形成するために用いるマスクが位置ずれしたことによる不均一性が抑制できる。

25       また、本実施形態の光検出装置1においては、第1配線44が、画素 $11_{mn}$ 間を第1の方向に延びて設けられており、第2配線47が、画素 $11_{mn}$ 間を第2の方向に延びて設けられている。これにより、それぞれの配線44、47により光

感応部分  $12_{mn}$ ,  $13_{mn}$  (第2導電型半導体領域  $41$ ,  $42$ ) への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

また、本実施形態の光検出装置1においては、第1シフトレジスタ  $22$  と、第2シフトレジスタ  $32$  と、第1積分回路  $23$  と、第2積分回路  $33$  とを更に有している。これにより、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

次に、図13及び図14に基づいて、第1信号処理回路及び第2信号処理回路の変形例の構成について説明する。図13は、第1信号処理回路の変形例を示す概略構成図であり、図14は、第2信号処理回路の変形例を示す概略構成図である。

第1信号処理回路  $100$  は、図13に示されるように、第1積分回路  $110$  と、第1CDS回路  $120$  と、第1サンプルアンドホールド回路 (第1S/H回路)  $130$  と、第1最大値検出回路  $140$  と、第1シフトレジスタ  $150$  と、第1スイッチ素子  $160$  と、第1A/D変換回路  $170$  とを有している。

第1積分回路  $110$  は、第1の方向に配列された複数の  $11_{11} \sim 11_{1N}$ ,  $11_{21} \sim 11_{2N}$ ,  $\dots$ ,  $11_{M1} \sim 11_{MN}$  間において電氣的に接続された一方の光感応部分  $12_{mn}$  群 (一方の第2導電型半導体領域  $41$  からなり、第1の方向に長く延びるM列の光感応部) に対応して設けられ、対応する一方の光感応部分  $12_{mn}$  群からの電流を電圧に変換して、当該電圧を出力する。第1積分回路  $110$  は、図15に示されるように、入力端子と出力端子との間に互いに並列にアンプ  $A_1$ 、容量素子  $C_1$  およびスイッチ素子  $SW_1$  が接続されている。第1積分回路  $110$  は、スイッチ素子  $SW_1$  が閉じているときには、容量素子  $C_1$  を放電して初期化する。一方、第1積分回路  $110$  は、スイッチ素子  $SW_1$  が開いているときには、入力端子に入力した電荷を容量素子  $C_1$  に蓄積して、その蓄積された電荷に応じた電圧を出力端子から出力する。スイッチ素子  $SW_1$  は、制御回路 (図示せず) から出力される Reset 信号に基づいて開閉する。

第1 CDS回路120は、第1積分回路110に対応して設けられ、対応する第1積分回路110から出力される電圧の値の変化量に応じた値の電圧を出力する。第1 CDS回路120は、図16に示されるように、入力端子と出力端子との間に順にスイッチ素子 $SW_{21}$ 、結合容量素子 $C_{21}$ およびアンプ $A_2$ を有している。また、アンプ $A_2$ の入出力間にスイッチ素子 $SW_{22}$ および積分容量素子 $C_{22}$ が互いに並列的に接続されている。スイッチ素子 $SW_{22}$ および $SW_{21}$ は、積分容量素子 $C_{22}$ に電荷を蓄積させるためのスイッチ手段として作用する。第1 CDS回路120は、スイッチ素子 $SW_{22}$ が閉じているときには、積分容量素子 $C_{22}$ を放電して初期化する。スイッチ素子 $SW_{22}$ が開きスイッチ素子 $SW_{21}$ が閉じているときには、入力端子から結合容量素子 $C_{21}$ を経て入力した電荷を積分容量素子 $C_{22}$ に蓄積して、その蓄積された電荷に応じた電圧を出力端子から出力する。スイッチ素子 $SW_{21}$ は、制御回路から出力されるCSW21信号に基づいて開閉する。また、スイッチ素子 $SW_{22}$ は、制御回路から出力されるClamp1信号に基づいて開閉する。

第1 S/H回路130は、第1 CDS回路120に対応して設けられ、対応する第1 CDS回路120から出力される電圧を保持して出力する。第1 S/H回路130は、図17に示されるように、入力端子と出力端子との間に順にスイッチ素子 $SW_3$ およびアンプ $A_3$ を有し、スイッチ素子 $SW_3$ とアンプ $A_3$ との接続点が容量素子 $C_3$ を介して接地されている。第1 S/H回路130は、スイッチ素子 $SW_3$ が閉じているときに第1 CDS回路120から出力された電圧を容量素子 $C_3$ に記憶し、スイッチ素子 $SW_3$ が開いた後も、容量素子 $C_3$ の電圧を保持して、その電圧をアンプ $A_3$ を介して出力する。スイッチ素子 $SW_3$ は、制御回路から出力されるHold信号に基づいて開閉する。第1スイッチ素子160は、第1シフトレジスタ150により制御されて順次に関き、第1 S/H回路130から出力される電圧を第1 A/D変換回路に順次に入力させる。

第1最大値検出回路140は、第1 S/H回路130それぞれから出力される

電圧の最大値を検出する。第1最大値検出回路140は、図18に示されるように、NMOSトランジスタ $T_1 \sim T_m$ 、抵抗器 $R_1 \sim R_3$ および差動アンプ $A_4$ を備える。各トランジスタ $T_m$ のソース端子は接地され、各トランジスタ $T_m$ のドレイン端子は、抵抗器 $R_3$ を介して電源電圧 $V_{dd}$ に接続されるとともに、抵抗器 $R_1$ を介して差動アンプ $A_4$ の反転入力端子に接続されている。各トランジスタ $T_m$ のゲート端子は、第1S/H回路130の出力端子と接続されており、第1S/H回路130から出力される電圧が入力する。また、差動アンプ $A_4$ の反転入力端子と出力端子との間には抵抗器 $R_2$ が設けられ、差動アンプ $A_4$ の非反転入力端子は接地されている。この第1最大値検出回路140では、第1S/H回路130から出力された電圧がトランジスタ $T_m$ のゲート端子に入力され、各電圧のうちの最大値に応じた電位がトランジスタ $T_m$ のドレイン端子に現れる。そして、そのドレイン端子の電位は、抵抗器 $R_1$ および $R_2$ それぞれの抵抗値の比に応じた増幅率で差動アンプ $A_4$ により増幅され、その増幅された電圧の値が最大電圧値 $V_{max}$ として出力端子から第1A/D変換回路170へ出力される。

第1A/D変換回路170は、第1S/H回路130それぞれから出力される電圧を順次入力し、その電圧を第1最大値検出回路140により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する。第1A/D変換回路170は、第1最大値検出回路140から出力される最大電圧値 $V_{max}$ を入力し、この最大電圧値 $V_{max}$ をA/D変換レンジとする。そして、第1A/D変換回路170は、第1S/H回路130から出力される電圧を第1スイッチ素子160及びアンプ180を介して順次に入力し、その電圧（アナログ値）をデジタル値に変換して出力する。第1A/D変換回路170は、図19に示されるように、可変容量積分回路171、比較回路172、容量制御部173および読み出し部174を備える。

可変容量積分回路171は、容量素子 $C_{s1}$ 、アンプ $A_5$ 、可変容量部 $C_{s2}$ およびスイッチ素子 $SW_5$ を備える。アンプ $A_5$ は、第1S/H回路130から出力さ

れ第1スイッチ素子160を介して順次に到達した電圧を、容量素子 $C_{51}$ を介して反転入力端子に入力する。アンプ $A_5$ の非反転入力端子は接地されている。可変容量部 $C_{52}$ は、容量が可変であって制御可能であり、アンプ $A_5$ の反転入力端子と出力端子との間に設けられ、入力した電圧に応じて電荷を蓄える。スイッチ素子 $SW_5$ は、アンプ $A_5$ の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 $C_{52}$ に電荷の蓄積を行わせ、閉じているときには可変容量部 $C_{52}$ における電荷蓄積をリセットする。そして、可変容量積分回路171は、第1S/H回路130から順次に出力された電圧を入力し、可変容量部 $C_{52}$ の容量に応じて積分し、積分した結果である電圧を出力する。

比較回路172は、可変容量積分回路171からの電圧出力を反転入力端子に入力し、第1最大値検出回路140から出力された最大電圧値 $V_{max}$ を非反転入力端子に入力し、これら2つの入力電圧の値を大小比較して、その大小比較の結果である比較結果信号を出力する。

容量制御部173は、比較回路172から出力された比較結果信号を入力し、この比較結果信号に基づいて可変容量部 $C_{52}$ の容量を制御する容量指示信号 $C$ を出力するとともに、この比較結果信号に基づいて積分した結果である電圧の値と最大電圧値 $V_{max}$ とが所定の分解能で一致していると判断した場合に可変容量部 $C_{52}$ の容量値に応じた第1デジタル値を出力する。

読み出し部174は、容量制御部173から出力された第1デジタル値を入力し、この第1デジタル値に対応する第2デジタル値を出力する。第2デジタル値は、第1デジタル値から可変容量積分回路171のオフセット値を除去した値を示すものである。読み出し部174は、例えば記憶素子であり、第1デジタル値をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデータを第2デジタル値として出力する。この第2デジタル値は、第2の方向での輝度プロフィールを表す出力となる。

第2信号処理回路200は、図14に示されるように、第2積分回路210と、

第2 CDS回路220と、第2 サンプルアンドホールド回路（第2 S/H回路）230と、第2 最大値検出回路240と、第2 シフトレジスタ250と、第2 スイッチ素子260と、第2 A/D変換回路270とを有している。

5 第2 積分回路210は、第2 の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$ ,  $11_{12} \sim 11_{M2}$ ,  $\dots$ ,  $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 $13_{mn}$ 群（他方の第2 導電型半導体領域42からなり、第2 の方向に長く延びるN行の光感応部）に対応して設けられ、対応する他方の光感応部分 $13_{mn}$ 群からの電流を電圧に変換して、当該電圧を出力する。第2 積分回路210は、図15に示された第1 積分回路110と同等の構成を有し、入力端子と出力

10 端子との間に互いに並列にアンプ、容量素子およびスイッチ素子が接続されている。

第2 CDS回路220は、第2 積分回路210に対応して設けられ、対応する第2 積分回路210から出力される電圧の値の変化量に応じた値の電圧を出力する。第2 CDS回路220は、図16に示された第1 CDS回路120と同等の

15 構成を有し、入力端子と出力端子との間に順にスイッチ素子、結合容量素子およびアンプを有している。また、アンプの入出力間にスイッチ素子および積分容量素子が互いに並列的に接続されている。

第2 S/H回路230は、第2 CDS回路220に対応して設けられ、対応する第2 CDS回路220から出力される電圧を保持して出力する。第2 S/H回路230は、図17に示された第1 S/H回路130と同等の構成を有し、入力

20 端子と出力端子との間に順にスイッチ素子およびアンプを有し、スイッチ素子とアンプとの接続点が容量素子を介して接地されている。第2 スイッチ素子260は、第2 シフトレジスタ250により制御されて順次に関き、第2 S/H回路230から出力される電圧を第2 A/D変換回路270に順次に入力させる。

25 第2 最大値検出回路240は、第2 S/H回路230それぞれから出力される電圧の最大値を検出する。第2 最大値検出回路240は、図18に示された第1

最大値検出回路 140 と同等の構成を有し、NMOS トランジスタ、抵抗器および差動アンプを備える。各トランジスタのソース端子は接地され、各トランジスタのドレイン端子は、抵抗器を介して電源電圧に接続されるとともに、抵抗器を介して差動アンプの反転入力端子に接続されている。各トランジスタのゲート端子は、第 2 S/H 回路の出力端子と接続されており、第 2 S/H 回路から出力される電圧が入力する。また、差動アンプの反転入力端子と出力端子との間には抵抗器が設けられ、差動アンプの非反転入力端子は接地されている。

第 2 A/D 変換回路 270 は、第 2 S/H 回路 230 それぞれから出力される電圧を順次入力し、その電圧を第 2 最大値検出回路 240 により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する。第 2 A/D 変換回路 270 は、第 2 最大値検出回路 240 から出力される最大電圧値を入力し、この最大電圧値を A/D 変換レンジとする。そして、第 2 A/D 変換回路 270 は、第 2 S/H 回路 230 から出力される電圧を第 2 スイッチ素子 260 を介して順次に入力し、その電圧（アナログ値）をデジタル値に変換して出力する。第 2 A/D 変換回路 270 は、図 19 に示された第 1 A/D 変換回路 170 と同等の構成を有し、可変容量積分回路、比較回路、容量制御部および読み出し部を備える。第 2 A/D 変換回路 270 から出力される第 2 デジタル値は、第 1 の方向での輝度プロファイルを表す出力となる。

以上のように、第 1 最大値検出回路 140 及び第 2 最大値検出回路 240 からそれぞれ出力され比較回路 172 にそれぞれ入力される最大電圧値  $V_{max}$  は、第 1 A/D 変換回路 170 及び第 2 A/D 変換回路 270 が飽和することなく A/D 変換することができる電圧の最大値すなわち A/D 変換レンジを規定している。しかも、第 1 A/D 変換回路 170 及び第 2 A/D 変換回路 270 に入力する各電圧のうち何れかの値は必ず最大電圧値  $V_{max}$  であるから、上記 A/D 変換レンジの全ての範囲を有効に活用することができる。すなわち、本実施形態に係る光検出装置 1 は、光強度が大きいときのみならず、光強度が小さくても A/D 変換



の分解能が優れたものとなる。

また、第1積分回路110及び第2積分回路210それぞれが積分動作ごとに異なるノイズばらつきを有していても、第1CDS回路120及び第2CDS回路220によりノイズ誤差が解消される。

5       また、各光感応部分 $12_{mn}$ 、 $13_{mn}$ 群に対応して第1積分回路110及び第2積分回路210が設けられているので、各光感応部分 $12_{mn}$ 、 $13_{mn}$ 群から同じタイミングにて電荷を蓄積でき、それらの電荷量を電圧に変換することができる。

これらの結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度且つ高速にて得ることができる。なお、上述した第1及び第2  
10   積分回路110、120、第1及び第2CDS回路120、220、第1及び第2S/H回路130、230、第1及び第2最大値検出回路140、240、第1及び第2シフトレジスタ150、250、第1及び第2スイッチ素子160、260、第1及び第2A/D変換回路170、270等の動作については、本出願人による特開2001-36128号公報等

15   次に、図21及び図22に基づいて、本実施形態に係る撮像装置について説明する。図21及び図22は、撮像装置を示す概略構成図である。なお、図21及び図22においては、実施形態の説明を容易なものとするために、撮像ブロック（光感応領域）を $2 \times 2$ 配置として図示し、各撮像ブロック内の画素を $3 \times 3$ 配置として図示している。もちろん、光感応領域を $P \times Q$ 配置とし、各光感応領域  
20   内の画素を $M \times N$ 配置として構成してもよい（ただし、P及びQは、それぞれ2以上の整数とする）。

本実施形態に係る撮像装置301は、図21及び図22に示されるように、撮像ブロック $B_{11} \sim B_{22}$ （光感応領域10）が2行2列に2次元配列されており、第1信号処理回路320と第2信号処理回路330とを有している。第1信号処理  
25   回路320及び第2信号処理回路330は、同じタイミングにて動作させてもよく、時系列順で独立して動作させてもよい。

第1信号処理回路320は、第2の方向に配列された複数の撮像ブロック（例えば、撮像ブロック $B_{11}$ 及び撮像ブロック $B_{12}$ ）からなる撮像ブロック群毎に、撮像領域（撮像ブロック $B_{11} \sim B_{22}$ ）に入射した光の第2方向での輝度プロファイルを示す電圧 $H1_{out}$ 、 $H2_{out}$ を出力する。第1信号処理回路320は、撮  
 5 像ブロック $B_{11}$ 及び撮像ブロック $B_{12}$ からなる撮像ブロック群からの出力として電圧 $H1_{out}$ を出力し、撮像ブロック $B_{21}$ 及び撮像ブロック $B_{22}$ からなる撮像ブロック群からの出力として電圧 $H2_{out}$ を出力する。

第2信号処理回路330は、第1の方向に配列された複数の撮像ブロック（例えば、撮像ブロック $B_{11}$ 及び撮像ブロック $B_{21}$ ）からなる撮像ブロック群毎に、  
 10 撮像領域（撮像ブロック $B_{11} \sim B_{22}$ ）に入射した光の第1方向での輝度プロファイルを示す電圧 $V1_{out}$ 、 $V2_{out}$ を出力する。第2信号処理回路330は、撮像ブロック $B_{11}$ 及び撮像ブロック $B_{21}$ からなる撮像ブロック群からの出力として電圧 $V1_{out}$ を出力し、撮像ブロック $B_{12}$ 及び撮像ブロック $B_{22}$ からなる撮像ブロック群からの出力として電圧 $V2_{out}$ を出力する。

第1信号処理回路320は、第1スイッチ素子21と、第1シフトレジスタ322と、第1積分回路23とを含んでいる。第1シフトレジスタ322は、上記第1シフトレジスタ22と同等の機能を有しており、第2の方向に配列された複数の撮像ブロック（例えば、撮像ブロック $B_{11}$ 及び撮像ブロック $B_{12}$ ）からなる撮像ブロック群毎において、第1の方向に配列された複数の画素 $11_{11} \sim 11_{13}$ 、 $11_{21} \sim 11_{23}$ 、 $11_{31} \sim 11_{33}$ 間にわたって電気的に接続された一方の光  
 20 感応部分 $12_{mn}$ （ $12_{11} \sim 12_{13}$ 、 $12_{21} \sim 12_{23}$ 、 $12_{31} \sim 12_{33}$ ）群からの電流出力を第2の方向に順次読み出す。第1スイッチ素子21は、第1シフトレジスタ322から出力される信号 $shift(H1) \sim shift(H6)$ により制御されて順次閉じられる。第1積分回路23は、第2の方向に配列された  
 25 複数の撮像ブロック（例えば、撮像ブロック $B_{11}$ 及び撮像ブロック $B_{12}$ ）からなる撮像ブロック群毎に、設けられている。

第2信号処理回路330は、第2スイッチ素子31と、第2シフトレジスタ332と、第2積分回路33とを含んでいる。第2シフトレジスタ332は、上記第2シフトレジスタ32と同等の機能を有しており、第1の方向に配列された複数の撮像ブロック（例えば、撮像ブロック $B_{11}$ 及び撮像ブロック $B_{21}$ ）からなる撮像ブロック群毎において、第2の方向に配列された複数の画素 $11_{11} \sim 11_{31}$ ,  $11_{12} \sim 11_{32}$ ,  $11_{13} \sim 11_{33}$ 間にわたって電氣的に接続された一方の光感応部分 $13_{mn}$  ( $13_{11} \sim 13_{31}$ ,  $13_{12} \sim 13_{32}$ ,  $13_{13} \sim 13_{33}$ )群からの電流出力を第1の方向に順次読み出す。第2スイッチ素子31は、第2シフトレジスタ332から出力される信号 $shift(V1) \sim shift(V6)$ により制御されて順次閉じられる。第2積分回路33は、第1の方向に配列された複数の撮像ブロック（例えば、撮像ブロック $B_{11}$ 及び撮像ブロック $B_{21}$ ）からなる撮像ブロック群毎に、設けられている。

続いて、図23A～図23J及び図24A～図24Jに基づいて、第1信号処理回路320及び第2信号処理回路330の動作について説明する。図23A～図23Jは、第1信号処理回路の動作を説明するためのタイミングチャートであり、図24A～図24Jは、第2信号処理回路の動作を説明するためのタイミングチャートである。

制御回路から第1シフトレジスタ322にスタート信号 $\Phi_{Hst}$ が入力されると（図23A参照）、信号 $\Phi_{H2}$ の立ち上がりから信号 $\Phi_{H1}$ の立下りまでの期間に対応したパルス幅を有する信号 $shift(H1) \sim shift(H6)$ が順次出力される（図23B、図23C、及び図23E～図23H参照）。第1シフトレジスタ322から対応する第1スイッチ素子21に $shift(H1) \sim shift(H6)$ が出力されると、第1スイッチ素子21が順次閉じ、対応する一方の光感応部分 $12_{mn}$ 群に蓄積された電荷が電流となって対応する第1積分回路23に順次出力される。

第1積分回路23には、制御回路からリセット信号 $\Phi_{Hreset}$ が入力されてい

る（図 2 3 D 参照）。リセット信号  $\Phi_{H_{reset}}$  が「OFF」状態の期間、対応する一方の光感応部分 1 2<sub>mn</sub> 群に蓄積された電荷が容量素子 2 5 に蓄積されて、蓄積された電荷量に応じた電圧  $H1_{out}$ ,  $H2_{out}$  がそれぞれの第 1 積分回路 2 3 から順次出力される（図 2 3 I 及び 2 3 J 参照）。なお、第 1 積分回路 2 3 は、リセット信号  $\Phi_{H_{reset}}$  が「ON」状態のときにはスイッチ素子 2 6 を閉じて容量素子 2 5 を初期化する。

制御回路から第 2 シフトレジスタ 3 3 2 にスタート信号  $\Phi_{v_s}$  が入力されると（図 2 4 A 参照）、信号  $\Phi_{v_2}$  の立ち上がりから信号  $\Phi_{v_1}$  の立下りまでの期間に対応したパルス幅を有する信号  $shift(V1) \sim shift(V6)$  が順次出力される（図 2 4 B、図 2 4 C、及び図 2 4 E～図 2 4 H 参照）。第 2 シフトレジスタ 3 2 から対応する第 2 スイッチ素子 3 1 に  $shift(V1) \sim shift(V6)$  が出力されると、第 2 スイッチ素子 3 1 が順次閉じ、対応する他方の光感応部分 1 3<sub>mn</sub> 群に蓄積された電荷が電流となって対応する第 2 積分回路 3 3 に順次出力される。

第 2 積分回路 3 3 には、制御回路からリセット信号  $\Phi_{v_{reset}}$  が入力されている（図 2 4 D 参照）。リセット信号  $\Phi_{v_{reset}}$  が「OFF」状態の期間、対応する他方の光感応部分 1 3<sub>mn</sub> 群に蓄積された電荷が容量素子 3 5 に蓄積されて、蓄積された電荷量に応じた電圧  $V1_{out}$ ,  $V2_{out}$  がそれぞれの第 2 積分回路 3 3 から順次出力される（図 2 4 I 及び 2 4 J 参照）。なお、第 2 積分回路 3 3 は、リセット信号  $\Phi_{v_{reset}}$  が「ON」状態のときにはスイッチ素子 3 6 を閉じて容量素子 3 5 を初期化する。

以上のように、本実施形態の撮像装置 3 0 1 においては、撮像ブロック  $B_{11} \sim B_{22}$ （光感応領域 1 0）が 2 次元配列されているので、極めて簡素な構成にて、入射した光の輝度プロファイルを高速に検出することができる。

次に、図 2 5 及び図 2 6 に基づいて、本実施形態に係る距離画像取得装置について説明する。図 2 5 及び図 2 6 は、距離画像取得装置を示す概略構成図である。

本実施形態に係る距離画像取得装置 401 は、図 25 に示されるように、上記撮像装置 301 が所定の間隔を有して一対配置されている。被測定物 403 の画像は、一対の撮像装置 301 により取り込まれる。撮像装置 301 は、撮像領域 301a において撮像ブロック（光感応領域 10）を  $P \times Q$  配置としている。また、各撮像ブロック（光感応領域 10）内の画素を  $M \times N$  配置として構成している。ここで、パラメータ  $p$  を 1 以上  $P$  以下の任意の整数とし、パラメータ  $q$  を 1 以上  $Q$  以下の任意の整数とする。

一対の光学レンズ 405 は、2 つの撮像装置 301 の前方に配置されている。光軸 1 は、被測定物 403 が基準平面 407 上にあるときにそれぞれの撮像装置 301 の撮像領域 301a における同じ位置に被測定物 403 の像が映るように、基準平面 407 の中心で交わっている。

基準平面 407 に対する被測定物 403 の高さ  $H$  は、視差量  $P$  に対して下記（1）式にて求められる。

$$H = W * P / (C + P - L) \quad \dots (1)$$

ここで、「 $W$ 」は光学レンズ 405 と被測定物 403 との距離であり、「 $L$ 」は光学レンズ 405 間の距離であり、「 $C$ 」は撮像装置 301 における撮像領域 301a の中心間距離である。なお、撮像装置 301 における撮像ブロック毎の視差量は、位相限定相関法（Phase-only Correlation : POC）等を用いることにより求めることができる。

また、距離画像取得装置 401 は、図 26 に示されるように、距離画像を取得するための演算回路部 410 を有している。演算回路部 410 には、撮像装置 301 における各第 1 積分回路（図示せず）からの出力  $H_{p.out}$ 、及び各第 2 積分回路（図示せず）からの出力  $V_{q.out}$  が入力されている。この演算回路部 410 は、視差量抽出手段としての視差量抽出部 411 と、距離演算手段としての距離演算部 413 と、距離画像生成手段としての距離画像生成部 415 とを有している。

視差量抽出部 411 は、撮像装置 301 における上記各第 1 積分回路 23 からの出力  $H_{p.out}$ 、及び上記各第 2 積分回路 33 からの出力  $V_{q.out}$  に基づいて、撮像ブロック毎における視差量を抽出する。このとき、上記位相限定相関法を用いることができる。距離演算部 413 は、視差量抽出部 411 にて抽出された視差量に基づいて、撮像ブロック毎における被測定物 403 までの距離を演算する。距離画像生成部 415 は、距離演算部 413 にて演算された距離に基づいて、距離画像を生成する。

以上のように、本実施形態の距離画像取得装置 401 においては、各撮像装置 301 に含まれる撮像ブロック（光感応領域 10）毎において距離画像を得るために扱うデータ量が極めて少なくすむ。この結果、距離画像を取得するための演算速度を低く抑えて、低消費電流化及び低発熱化を図ることができる。

本発明は、前述した実施形態に限定されるものではない。たとえば、シフトレジスタを用いる代わりに、各光感応部分  $12_{mn}$ 、 $13_{mn}$ （第 2 導電型半導体領域 41、42）を均一な抵抗線で接続して、光の入射に伴って発生した電荷を抵抗線に流れ込んだ位置と当該抵抗線それぞれの端部との距離に反比例するように抵抗分割して抵抗線の端部から取り出し、当該端部からの電流出力に基づいて光の入射位置を求めるようにしてもよい。

また、前述した実施形態においては、1 画素を複数の光感応部分で構成しているが、1 画素を一つの光感応部分で構成してもよい。たとえば、図 20 に示されるように、光感応領域 10 は、第 1 の方向にわたって互いに電氣的に接続される複数の第 1 光感応部分  $12_{mn}$  と第 2 の方向にわたって互いに電氣的に接続される複数の第 2 光感応部分  $13_{mn}$  とを含み、複数の第 1 光感応部分  $12_{mn}$  と複数の第 2 光感応部分  $13_{mn}$  とは 2 次的に混在した状態で同一面内にて配列してもよい。この場合、第 1 光感応部分  $12_{mn}$  と第 2 光感応部分  $13_{mn}$  とは市松模様状に配列しており、第 1 光感応部分  $12_{mn}$  と第 2 光感応部分  $13_{mn}$  とは第 1 の方向及び第 2 の方向において交互に配列している。なお、市松模様状に配列する代わ

りに、図 8 に示されるようなハニカム状に配列してもよい。

#### 産業上の利用可能性

本発明の光検出装置及び撮像装置は、距離画像取得装置に利用できる。また、  
本発明の距離画像取得装置は、部品外観検査装置や部品形状認識装置に利用できる。

5

## 請求の範囲

1. 画素が2次元配列された光感応領域を有する光検出装置であって、  
各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内に  
隣接して配設することで1画素が構成されており、

5 前記2次元配列における第1の方向に配列された複数の画素にわたって、当該  
各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続  
され、

前記2次元配列における第2の方向に配列された複数の画素にわたって、当該  
各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続  
10 されていることを特徴とする光検出装置。

2. 前記各光感応部分は、第1導電型の半導体からなる半導体基板部分と、  
前記半導体基板部分に形成された第2導電型半導体領域とを含み、

前記第2導電型半導体領域は、光入射方向から見て略三角形状を呈しており、  
前記1画素において互いに一辺が隣接して形成されていることを特徴とする請求  
15 の範囲第1項に記載の光検出装置。

3. 前記各光感応部分は、第1導電型の半導体からなる半導体基板部分と、  
前記半導体基板部分に形成された第2導電型半導体領域とを含み、

前記第2導電型半導体領域は、光入射方向から見て略長方形状を呈しており、  
前記1画素において長辺が隣接して形成されていることを特徴とする請求の範囲  
20 第1項に記載の光検出装置。

4. 前記第1の方向に配列された前記複数の画素にわたって前記一方の光  
感応部分同士を電氣的に接続するための配線が、前記画素間を前記第1の方向に  
延びて設けられており、

前記第2の方向に配列された前記複数の画素にわたって前記他方の光感応部分  
25 同士を電氣的に接続するための配線が、前記画素間を前記第2の方向に延びて設  
けられていることを特徴とする請求の範囲第1項に記載の光検出装置。



5. 前記各光感応部分は、第1導電型の半導体からなる半導体基板部分と、前記半導体基板部分に形成された第2導電型半導体領域とを含み、

前記第2導電型半導体領域は1画素あたり4分割されており、その分割されている境界に、前記第1の方向に配列された前記複数の画素にわたって前記一方の光感応部分同士を電氣的に接続するための配線と前記第2の方向に配列された前記複数の画素にわたって前記他方の光感応部分同士を電氣的に接続するための配線とが設けられており、

前記1画素あたり4分割された第2導電型半導体領域は、対角同士が前記配線に接続されていることを特徴とする請求の範囲第1項に記載の光検出装置。

10 6. 前記各光感応部分は、第1導電型の半導体からなる半導体基板部分と、前記半導体基板部分に形成された第2導電型半導体領域とを含み、

前記第2導電型半導体領域は、光入射方向から見て4角形以上の多角形状を呈しており、前記1画素において1辺が隣接して形成されていることを特徴とする請求の範囲第1項に記載の光検出装置。

15 7. 前記一方の光感応部分の前記第2導電型半導体領域と前記他方の光感応部分の前記第2導電型半導体領域とは、前記1画素において前記第1の方向と前記第2の方向とに交差する第3の方向に並設されていることを特徴とする請求の範囲第6項に記載の光検出装置。

20 8. 前記第2導電型半導体領域は、光入射方向から見てハニカム状に配列されていることを特徴とする請求の範囲第6項に記載の光検出装置。

9. 前記第1の方向に配列された前記複数の画素間において電氣的に接続された一方の光感応部分群からの電流出力を前記第2の方向に順次読み出すための第1シフトレジスタと、

25 前記第2の方向に配列された前記複数の画素間において電氣的に接続された他方の光感応部分群からの電流出力を前記第1の方向に順次読み出すための第2シフトレジスタと、

前記第 1 シフトレジスタにより順次読み出される前記各一方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第 1 積分回路と、

前記第 2 シフトレジスタにより順次読み出される前記各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第 2 積分回路と、

5      を更に有していることを特徴とする請求の範囲第 1 項に記載の光検出装置。

10      10.    前記第 1 の方向に配列された前記複数の画素間において電氣的に接続された一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する第 1 積分回路と、

10      前記第 1 積分回路に対応して設けられ、対応する第 1 積分回路から出力される電圧値の変化量に応じた値の電圧を出力する第 1 CDS 回路と、

前記第 1 CDS 回路に対応して設けられ、対応する第 1 CDS 回路から出力される電圧出力を保持して出力する第 1 サンプルアンドホールド回路と、

前記第 1 サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する第 1 最大値検出回路と、

15      前記第 1 サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記第 1 最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する第 1 A/D 変換回路と、

20      前記第 2 の方向に配列された前記複数の画素間において電氣的に接続された他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を電圧出力に変換して、当該電圧値を出力する第 2 積分回路と、

前記第 2 積分回路に対応して設けられ、対応する第 2 積分回路から出力される電圧値の変化量に応じた値の電圧を出力する第 2 CDS 回路と、

前記第 2 CDS 回路に対応して設けられ、対応する第 2 CDS 回路から出力される電圧出力を保持して出力する第 2 サンプルアンドホールド回路と、

25      前記第 2 サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する第 2 最大値検出回路と、

前記第 2 サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記第 2 最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する第 2 A/D 変換回路と、を更に有していることを特徴とする請求の範囲第 1 項に記載の光検出装置。

5            1 1.    光感応領域を有する光検出装置であって、

前記光感応領域は、第 1 の方向にわたって互いに電氣的に接続される複数の第 1 光感応部分と前記第 1 の方向に交差する第 2 の方向にわたって互いに電氣的に接続される複数の第 2 光感応部分とを含み、

10           前記複数の第 1 光感応部分と前記複数の第 2 光感応部分とは 2 次元的に混在した状態で同一面内にて配列されていることを特徴とする光検出装置。

1 2.    前記複数の第 1 光感応部分と前記複数の第 2 光感応部分とは、前記第 1 の方向あるいは前記第 2 の方向において交互に配列されていることを特徴とする請求の範囲第 1 1 項に記載の光検出装置。

15           1 3.    前記複数の第 1 光感応部分と前記複数の第 2 光感応部分とは、前記第 1 の方向と前記第 2 の方向とに交差する第 3 の方向において交互に配列されていることを特徴とする請求の範囲第 1 1 項に記載の光検出装置。

1 4.    前記各光感応部分は、光入射方向から見てハニカム状に配列されていることを特徴とする請求の範囲第 1 3 項に記載の光検出装置。

20           1 5.    前記各光感応部分は、第 1 導電型の半導体からなる半導体基板部分と、前記半導体基板部分に形成された第 2 導電型半導体領域とを含み、

前記第 2 導電型半導体領域は、光入射方向から見て略多角形状を呈しており、互いに 1 辺が隣接して形成されていることを特徴とする請求の範囲第 1 1 項に記載の光検出装置。

25           1 6.    前記第 1 光感応部分同士を電氣的に接続するための配線が、前記各光感応部分間を前記第 1 の方向に延びて設けられており、

第 2 光感応部分同士を電氣的に接続するための配線が、前記各光感応部分間を

前記第 2 の方向に延びて設けられていることを特徴とする請求の範囲第 1 項に記載の光検出装置。

17. 前記第 1 の方向にわたって互いに電氣的に接続された第 1 光感応部分群からの電流出力を前記第 2 の方向に順次読み出すための第 1 シフトレジスタと、

前記第 2 の方向にわたって互いに電氣的に接続された第 2 光感応部分群からの電流出力を前記第 1 の方向に順次読み出すための第 2 シフトレジスタと、

前記第 1 シフトレジスタにより順次読み出される前記各第 1 光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第 1 積分回路と、

前記第 2 シフトレジスタにより順次読み出される前記各第 2 光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第 2 積分回路と、を更に有していることを特徴とする請求の範囲第 1 項に記載の光検出装置。

18. 前記第 1 の方向にわたって互いに電氣的に接続された第 1 光感応部分群に対応して設けられ、対応する第 1 光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する第 1 積分回路と、

前記第 1 積分回路に対応して設けられ、対応する第 1 積分回路から出力される電圧値の変化量に応じた値の電圧を出力する第 1 C D S 回路と、

前記第 1 C D S 回路に対応して設けられ、対応する第 1 C D S 回路から出力される電圧出力を保持して出力する第 1 サンプルアンドホールド回路と、

前記第 1 サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する第 1 最大値検出回路と、

前記第 1 サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記第 1 最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する第 1 A/D 変換回路と、

前記第 2 の方向にわたって互いに電氣的に接続された第 2 光感応部分群に対応して設けられ、対応する第 2 光感応部分群からの電流出力を電圧出力に変換して、

当該電圧値を出力する第 2 積分回路と、

前記第 2 積分回路に対応して設けられ、対応する第 2 積分回路から出力される電圧値の変化量に応じた値の電圧を出力する第 2 CDS 回路と、

5 前記第 2 CDS 回路に対応して設けられ、対応する第 2 CDS 回路から出力される電圧出力を保持して出力する第 2 サンプルアンドホールド回路と、

前記第 2 サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する第 2 最大値検出回路と、

10 前記第 2 サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記第 2 最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する第 2 A/D 変換回路と、を更に有していることを特徴とする請求の範囲第 1 項に記載の光検出装置。

19. 請求の範囲第 1 項又は第 1 項に記載の光検出装置が 2 次元配列されていることを特徴とする撮像装置。

15 20. 前記 2 次元配列における前記第 2 の方向に配列された複数の光検出装置からなる光検出装置群毎において、前記第 1 の方向に配列された前記複数の画素間にわたって電氣的に接続された一方の光感応部分群からの電流出力を前記第 2 の方向に順次読み出すための第 1 シフトレジスタと、

20 前記第 2 の方向に配列された前記複数の光検出装置からなる前記光検出装置群毎に設けられ、前記第 1 シフトレジスタにより順次読み出される前記各一方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第 1 積分回路と、

25 前記 2 次元配列における前記第 1 の方向に配列された複数の光検出装置からなる光検出装置群毎において、前記第 2 の方向に配列された前記複数の画素間にわたって電氣的に接続された他方の光感応部分群からの電流出力を前記第 1 の方向に順次読み出すための第 2 シフトレジスタと、

前記第 1 の方向に配列された前記複数の光検出装置からなる前記光検出装置群

毎に設けられ、前記第 2 シフトレジスタにより順次読み出される前記各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する第 2 積分回路と、を更に有していることを特徴とする請求の範囲第 19 項に記載の撮像装置。

- 5            21.    請求の範囲第 20 項に記載の撮像装置が所定の間隔を有して一対配置されており、

前記第 1 積分回路及び前記第 2 積分回路からの前記電圧出力に基づいて、前記光検出装置毎における視差量を抽出する視差量抽出手段と、

- 10           前記視差量抽出手段にて抽出された前記視差量に基づいて、前記光検出装置毎における被測定物までの距離を演算する距離演算手段と、

前記距離演算手段にて演算された前記距離に基づいて、距離画像を生成する距離画像生成手段と、を有していることを特徴とする距離画像取得装置。

図1

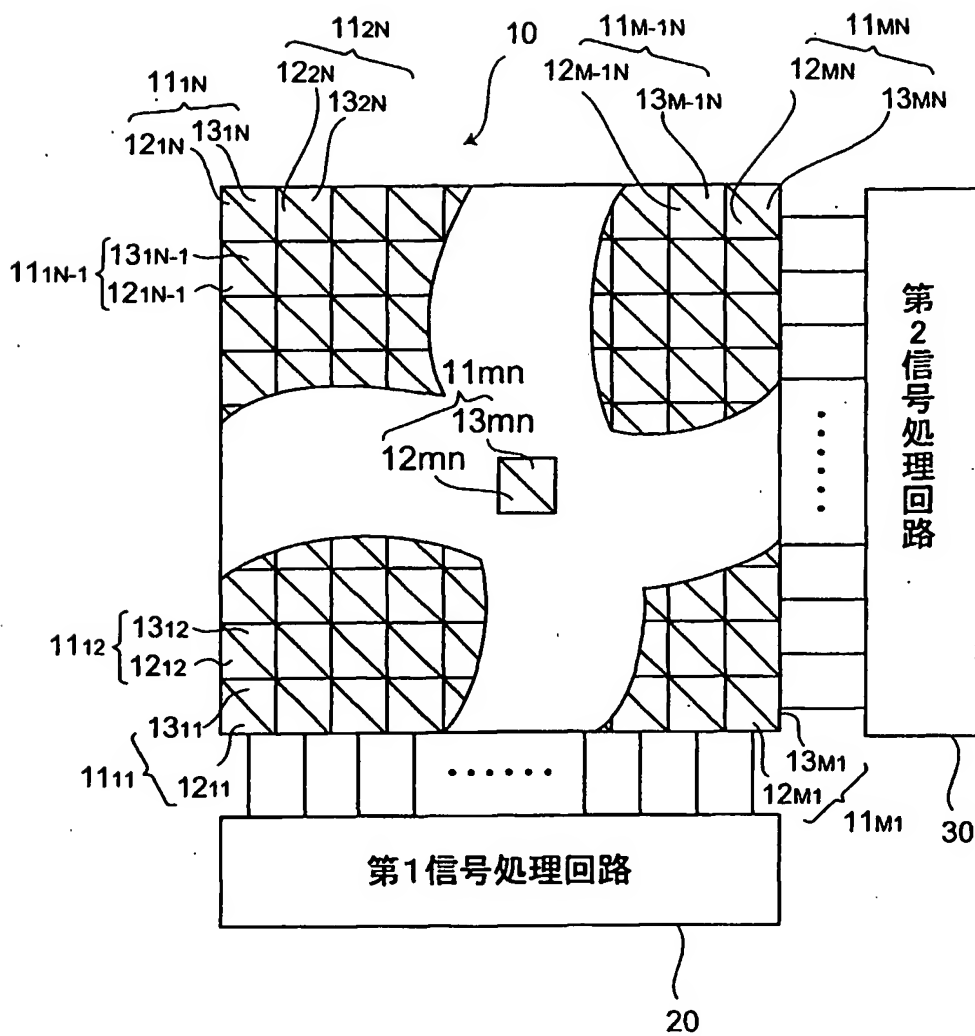


図2

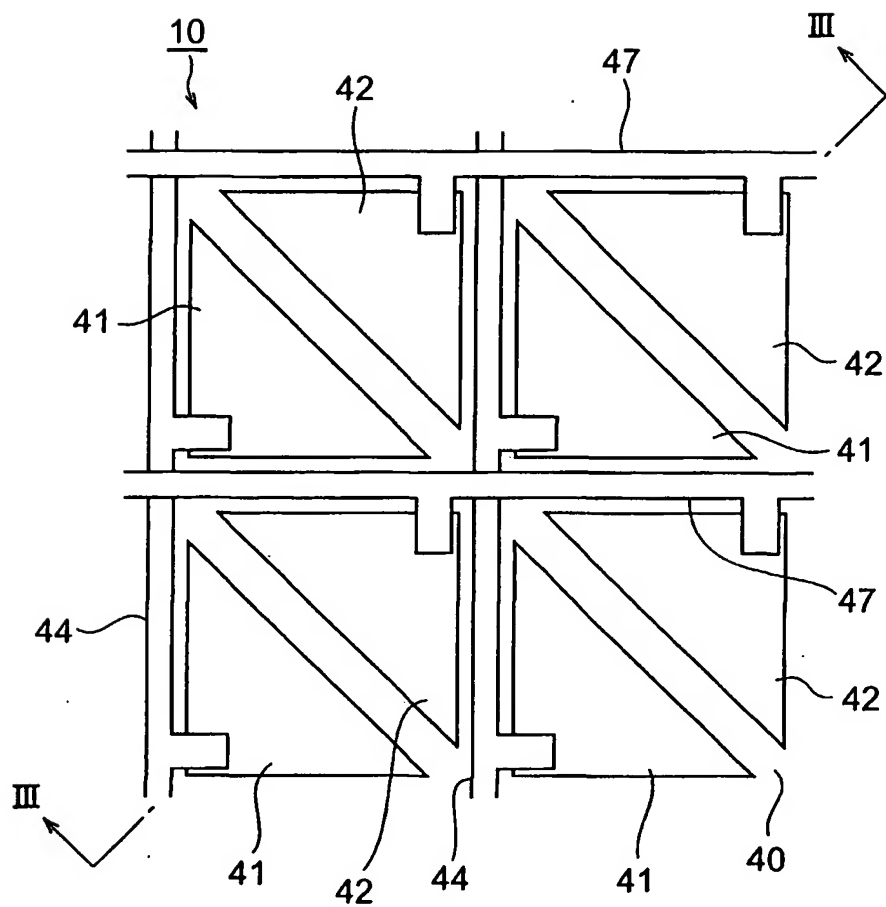




図3

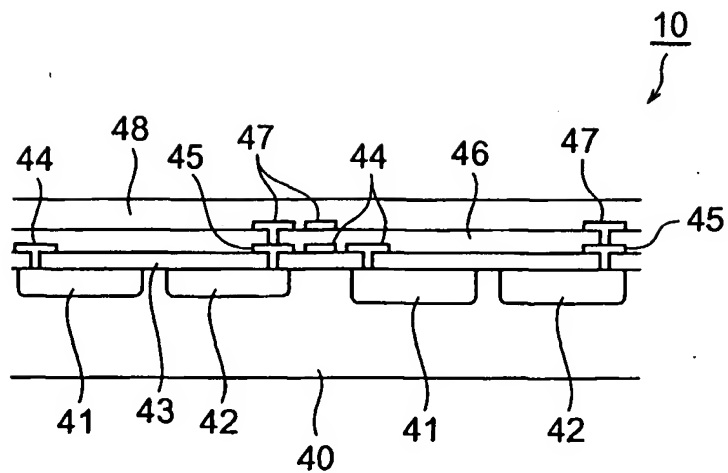


図4

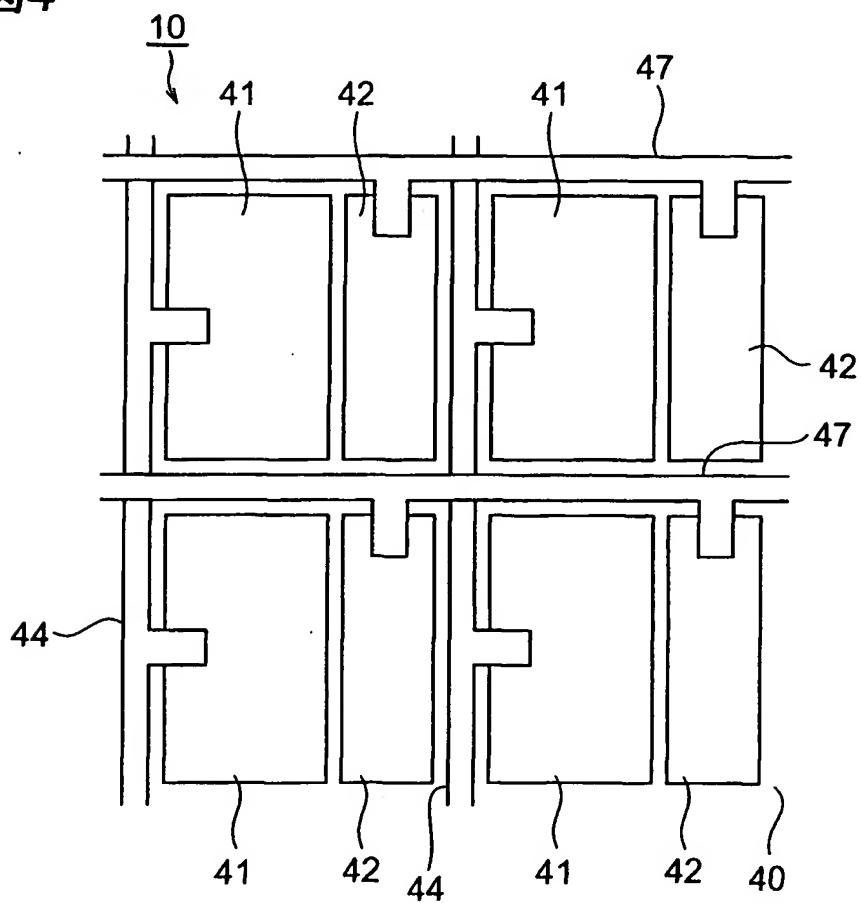
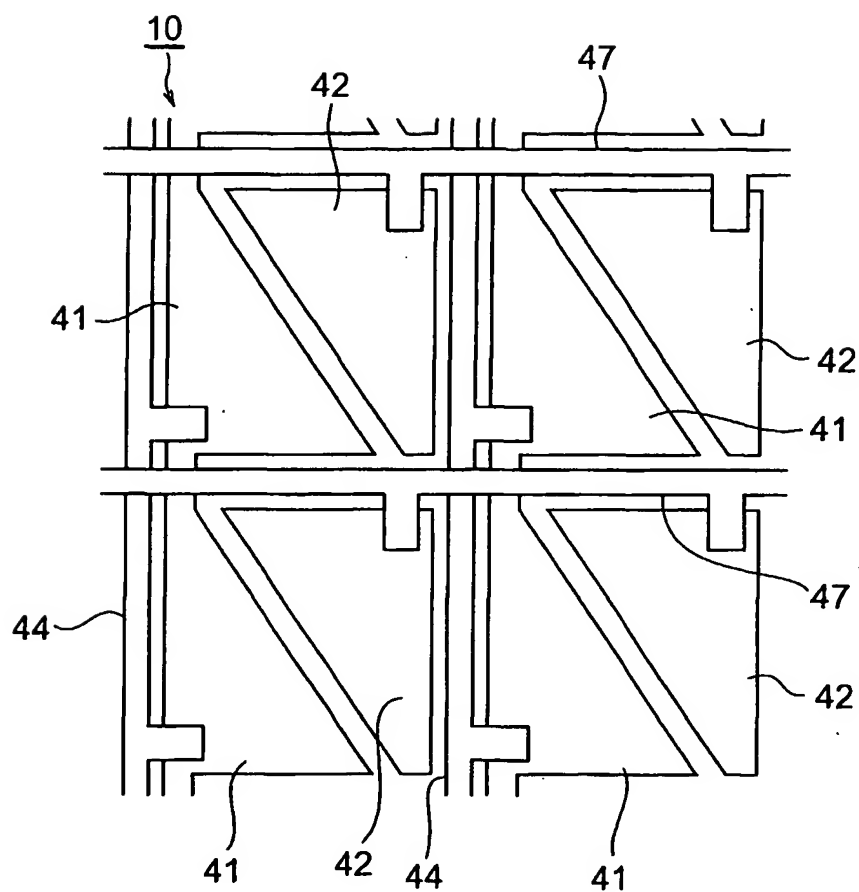


図5



**图6**

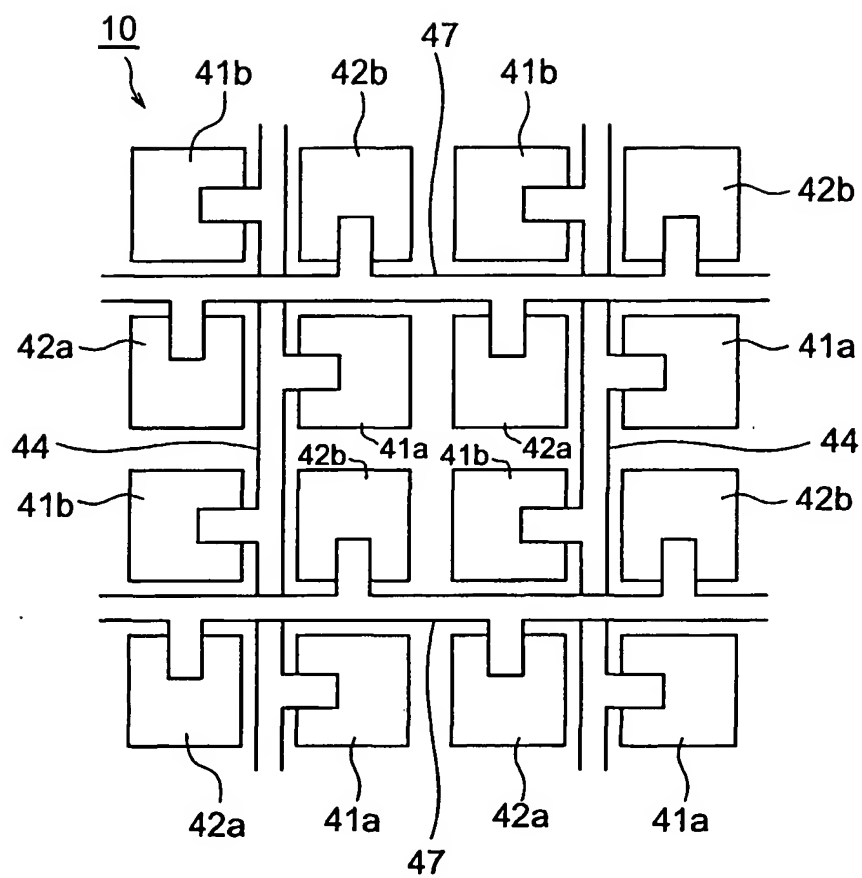


図7

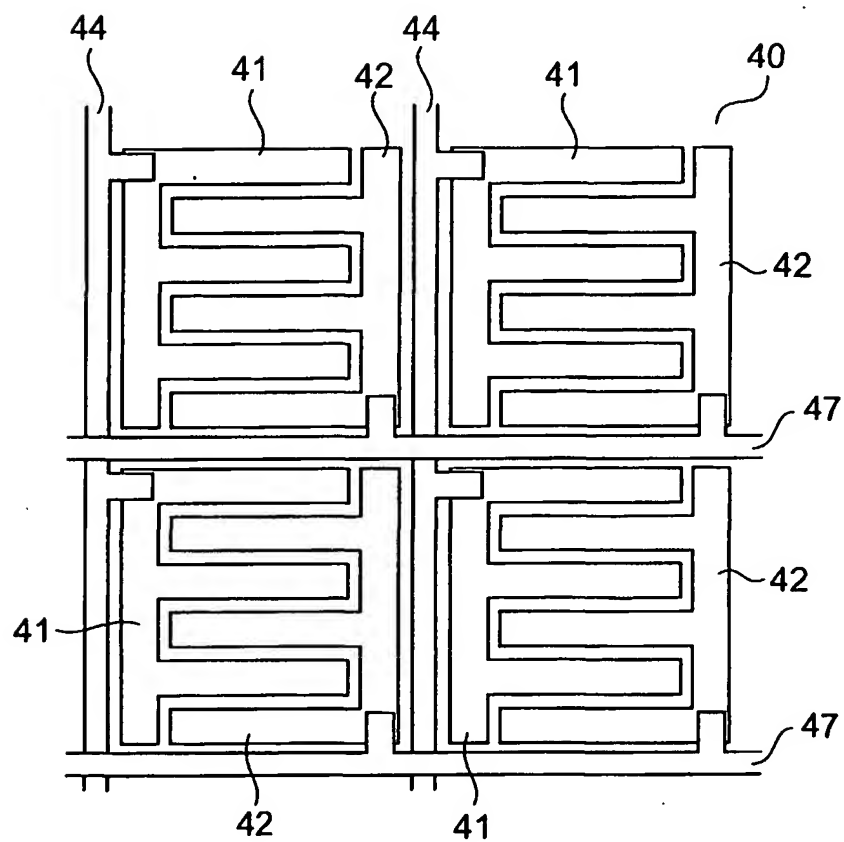


図8

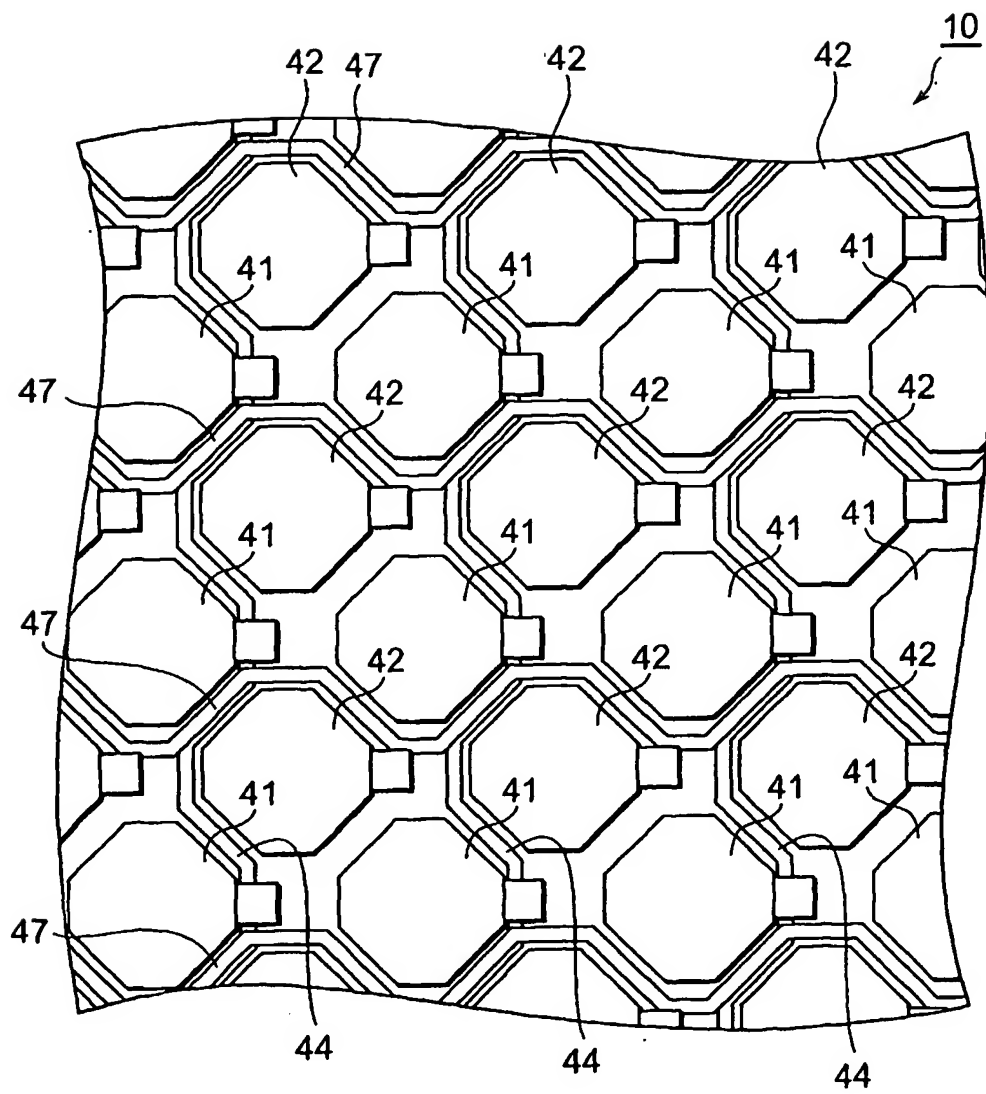


図9

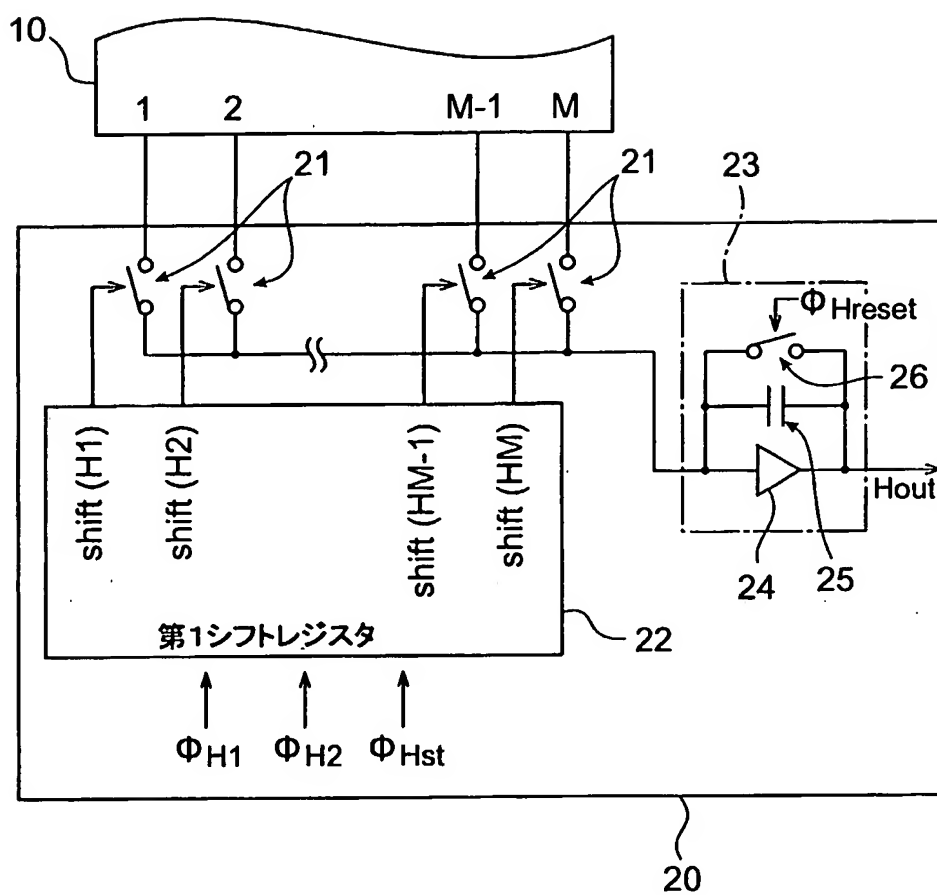


図10

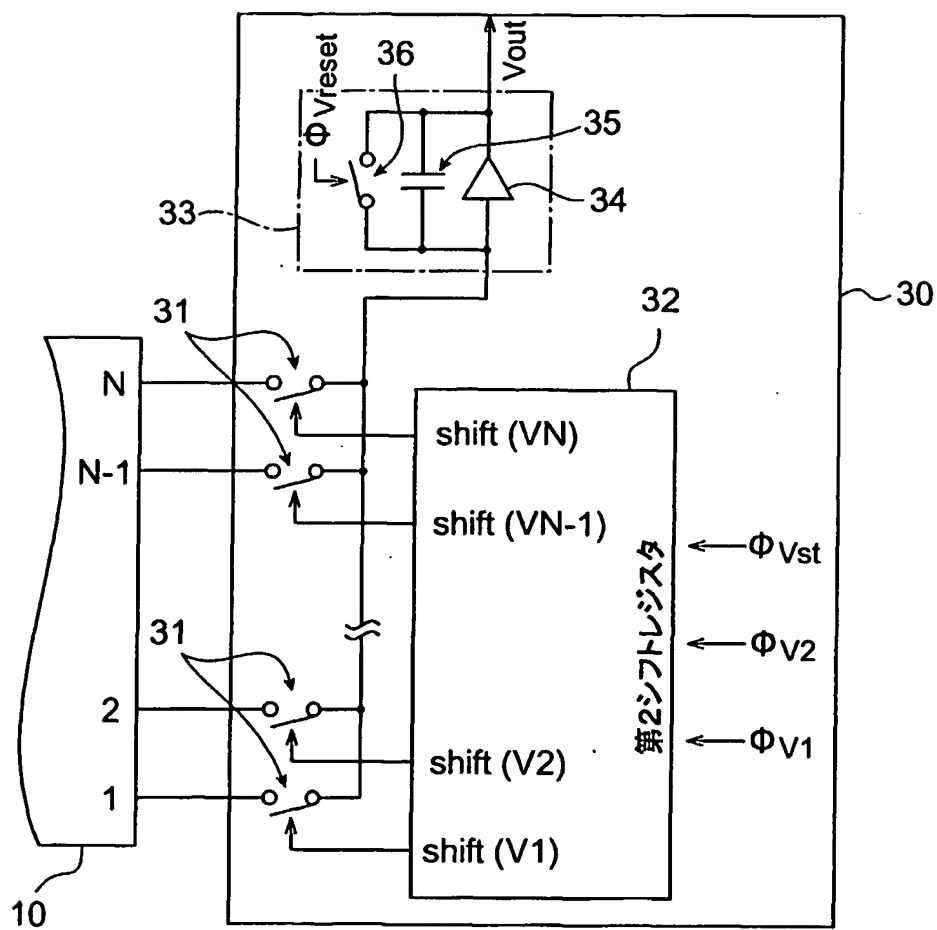


図11A



図11B



図11C

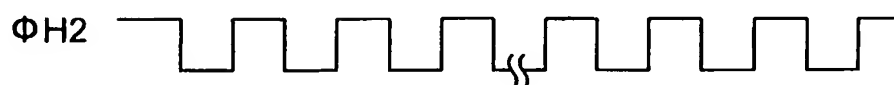


図11D



図11E

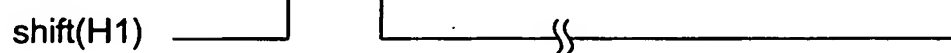


図11F



図11G



図11H

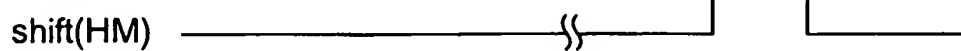


図11I

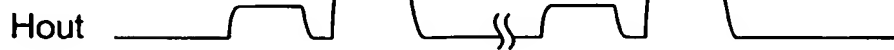




図12A



図12B



図12C



図12D



図12E

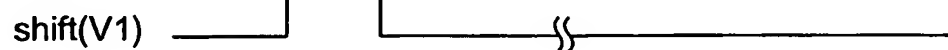


図12F



図12G

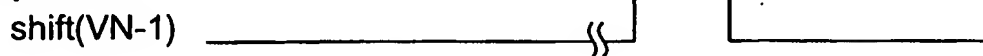


図12H

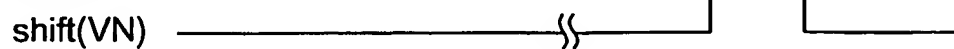


図12I

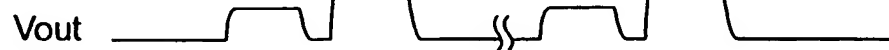
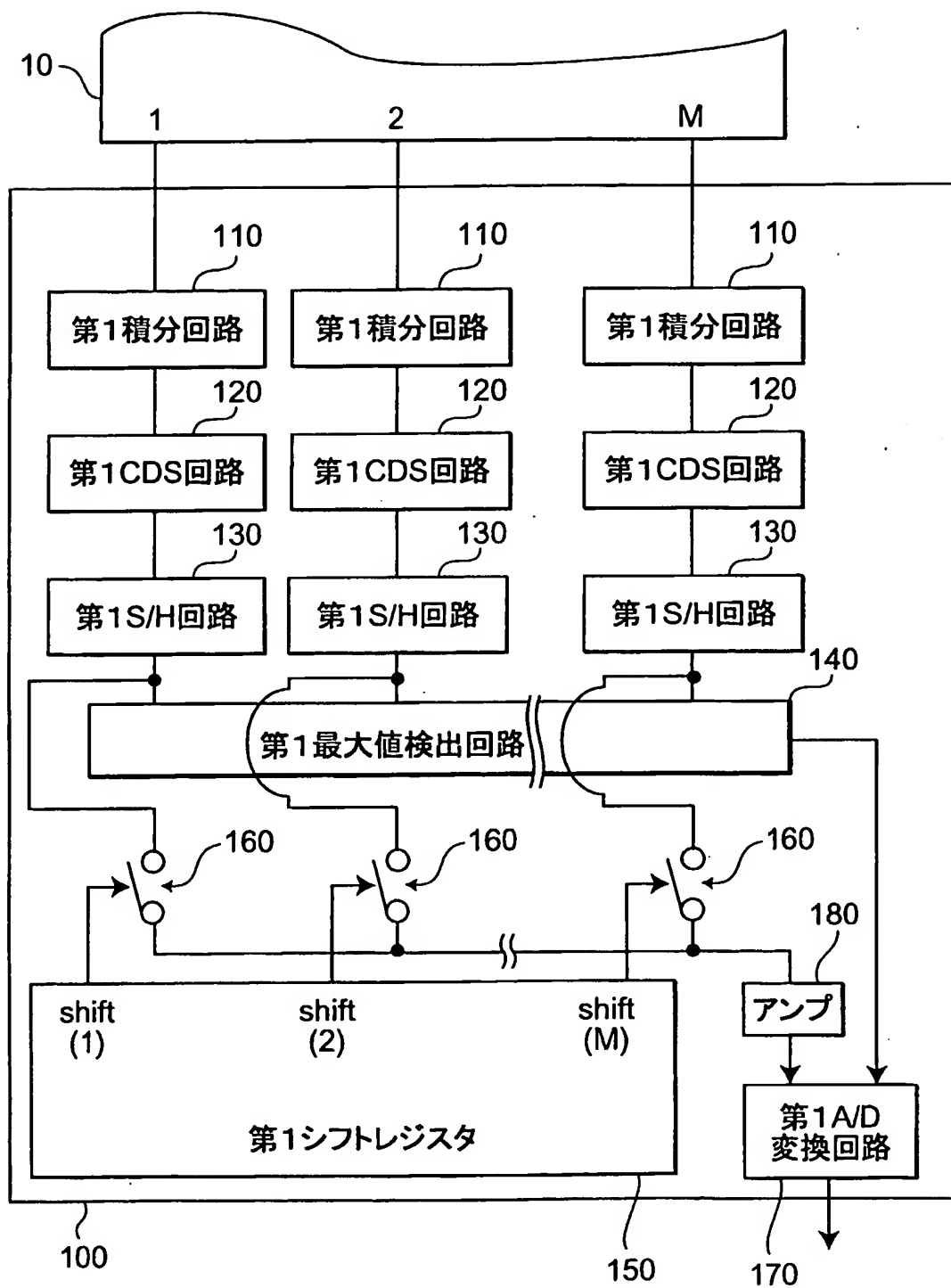


図13



**图14**

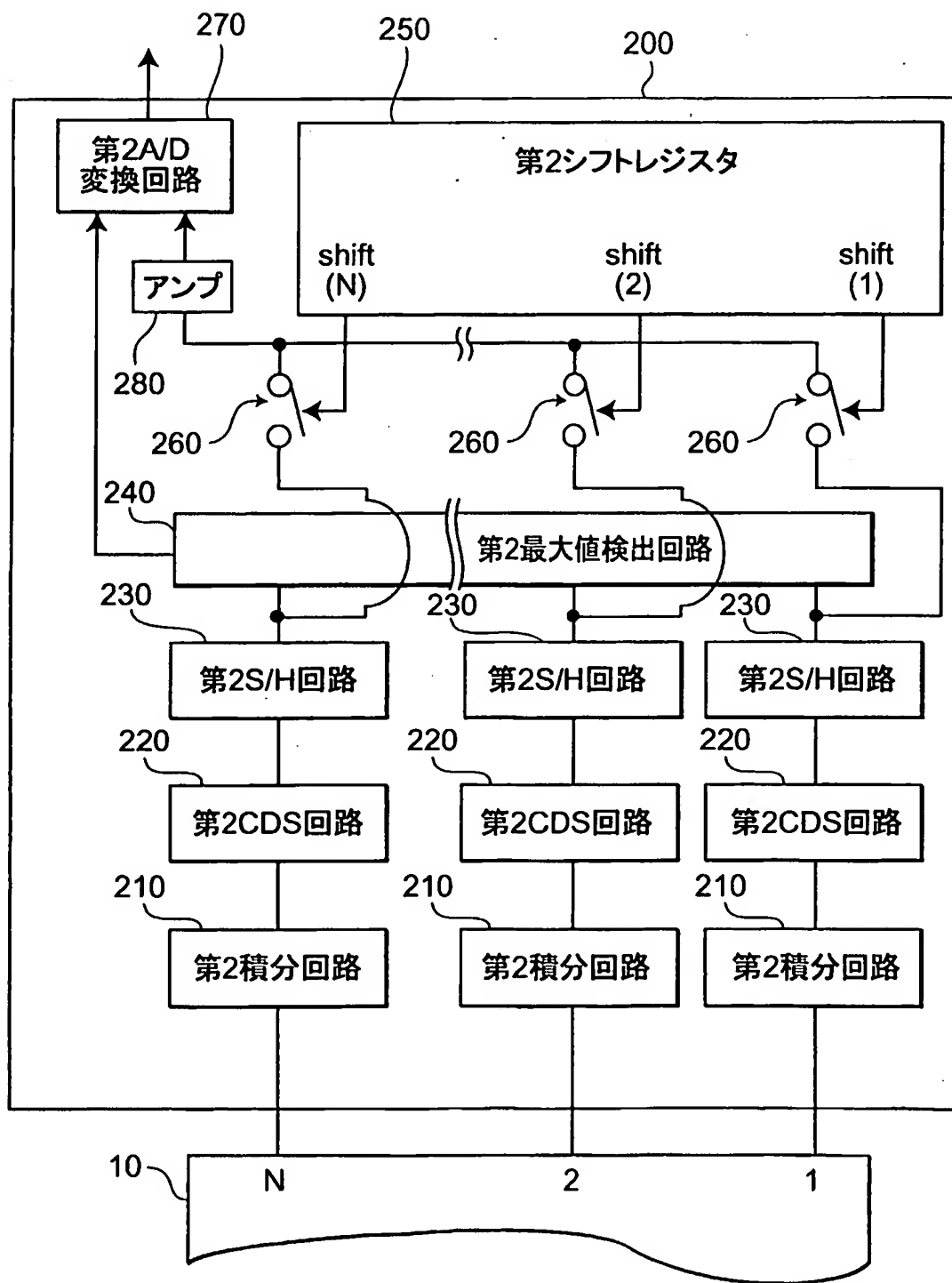


図15

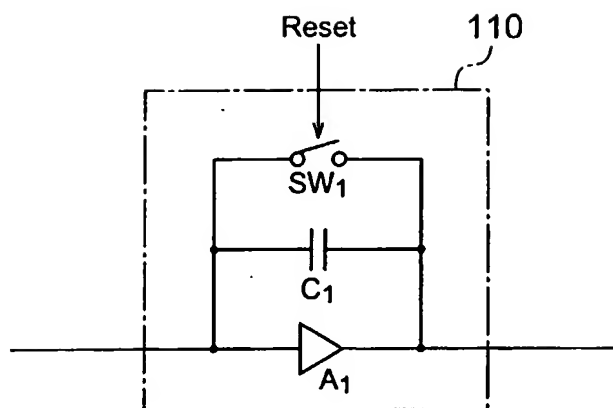


図16

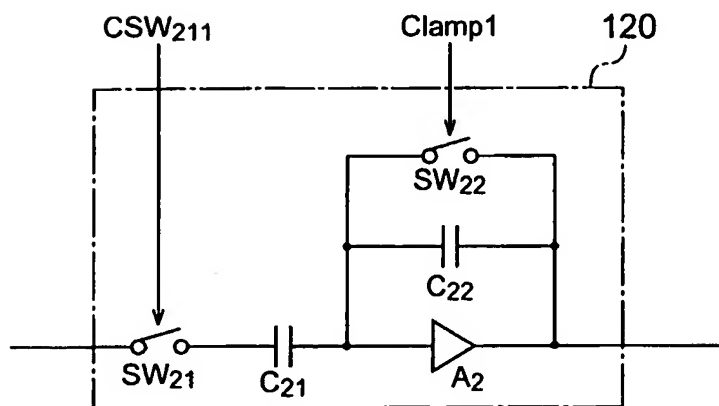


図17

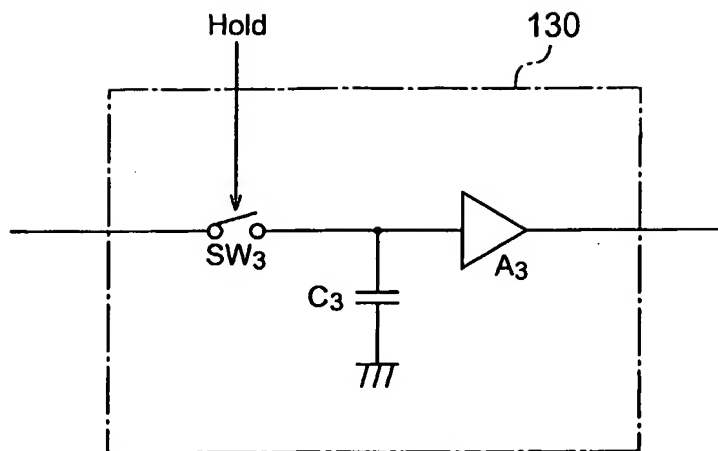


図18

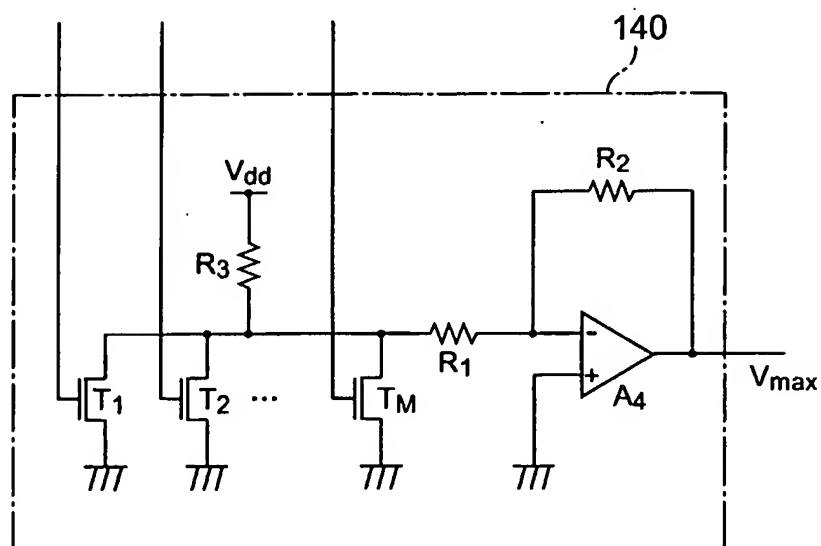


図19

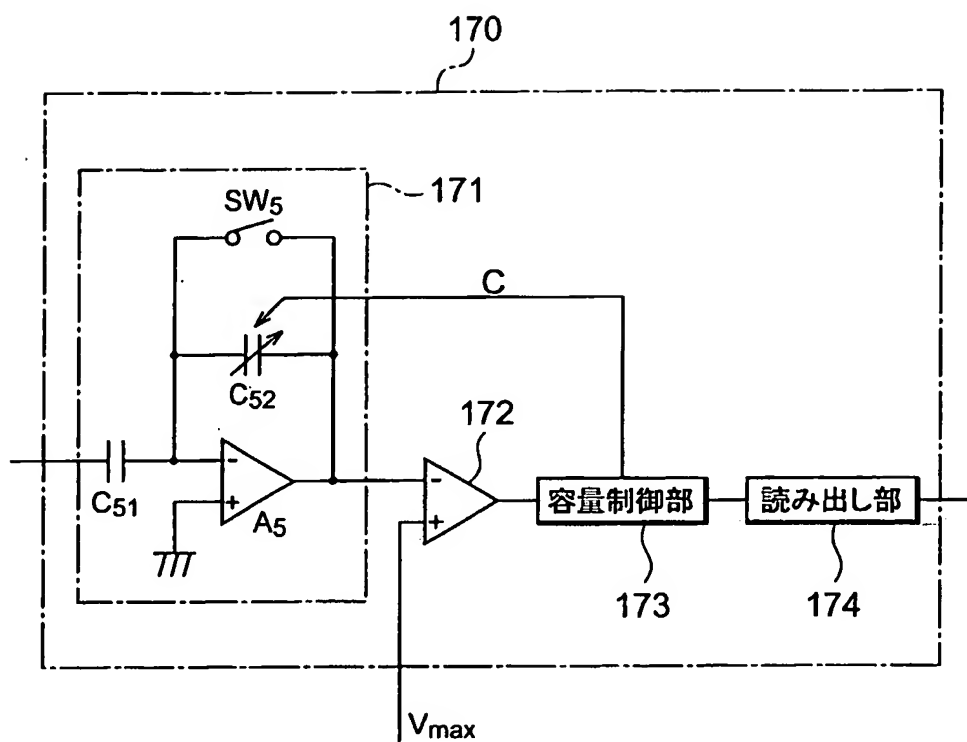


図20

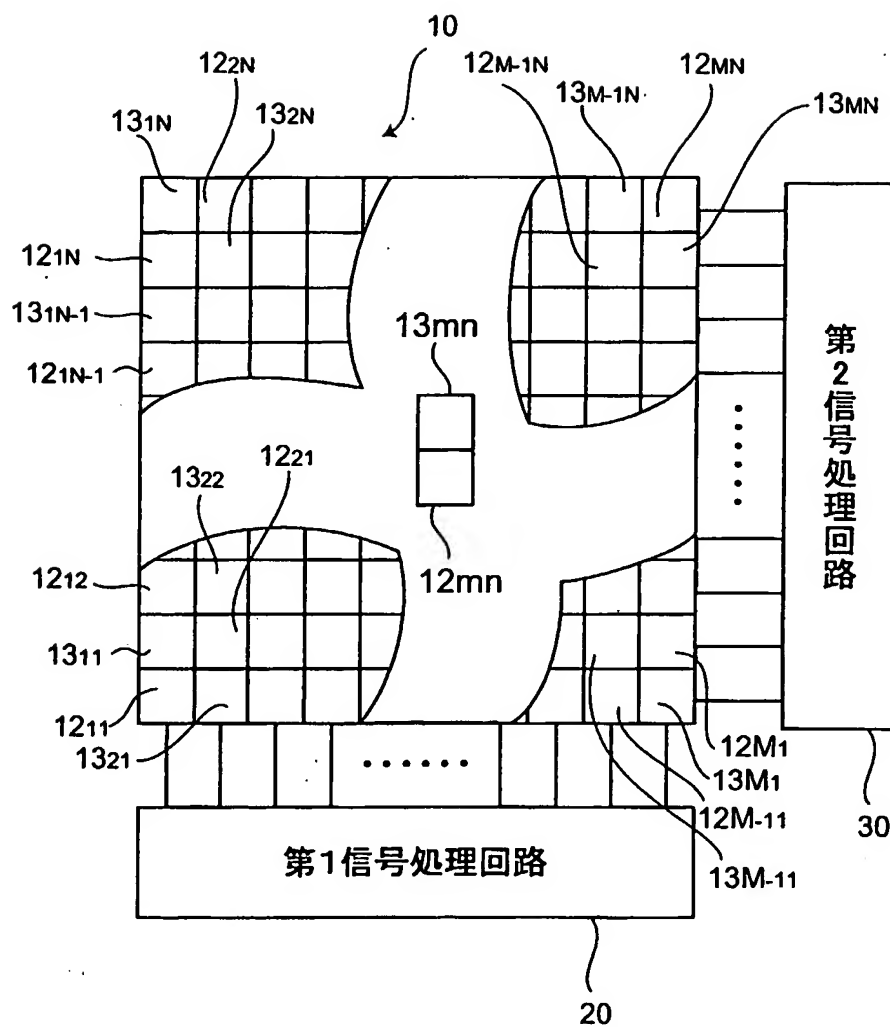


図21

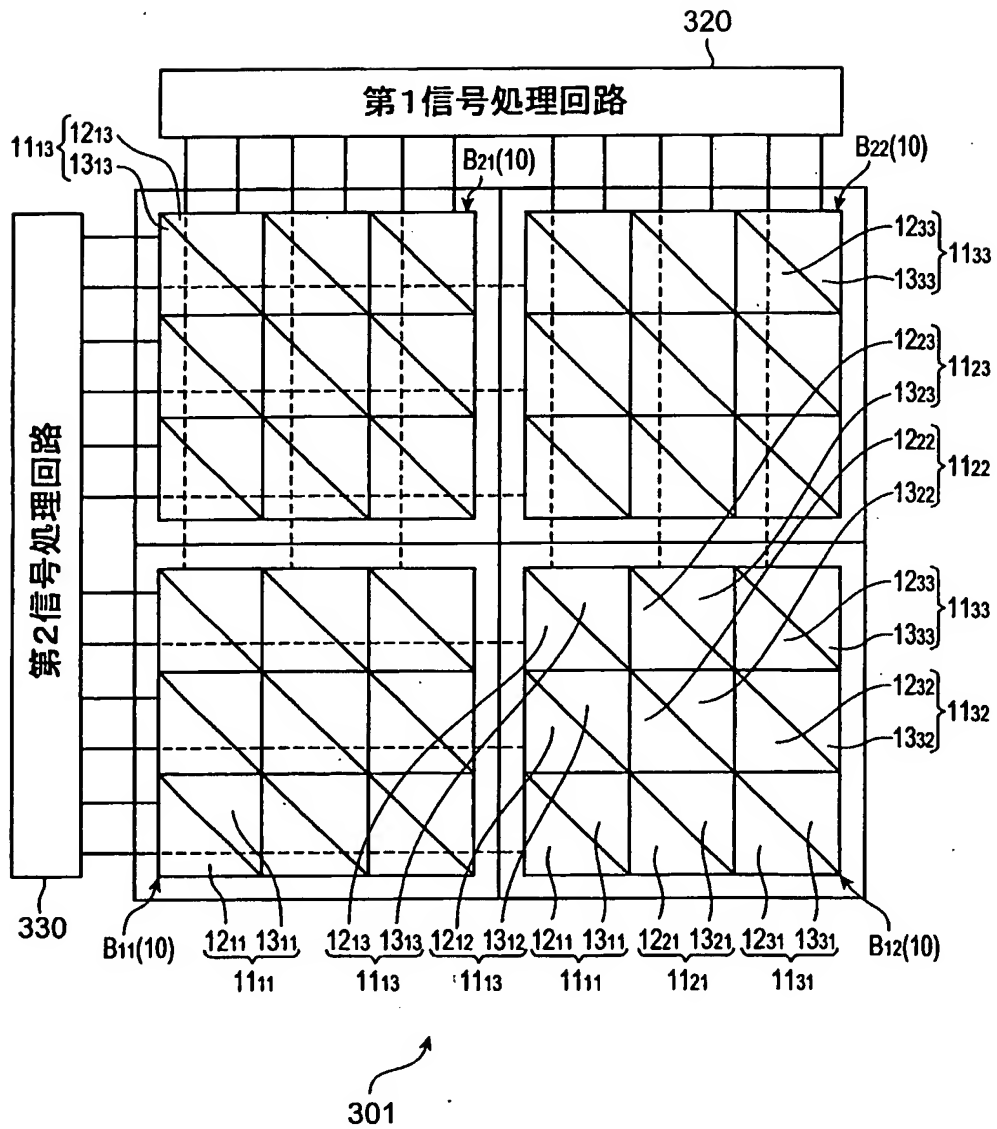
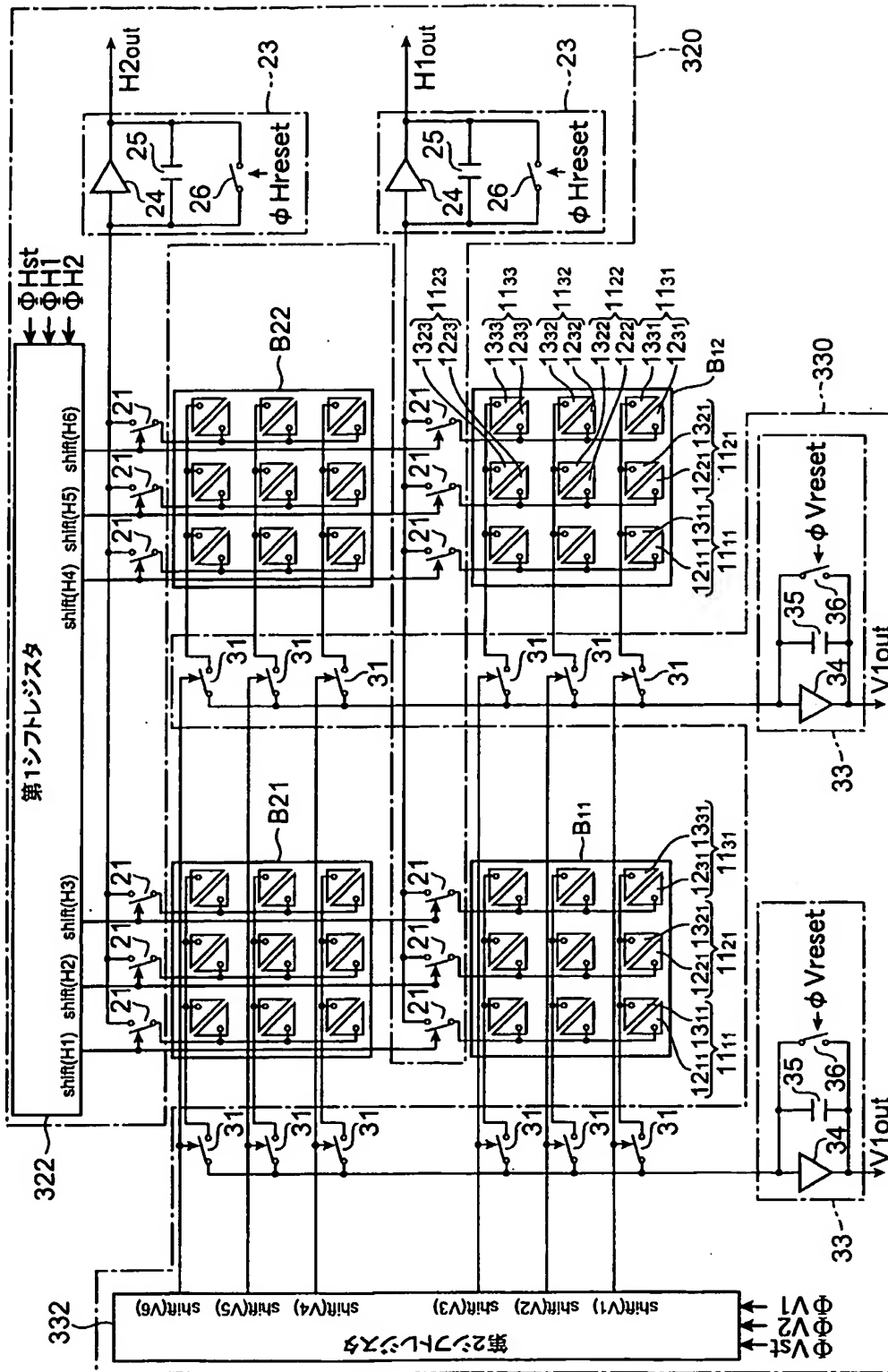
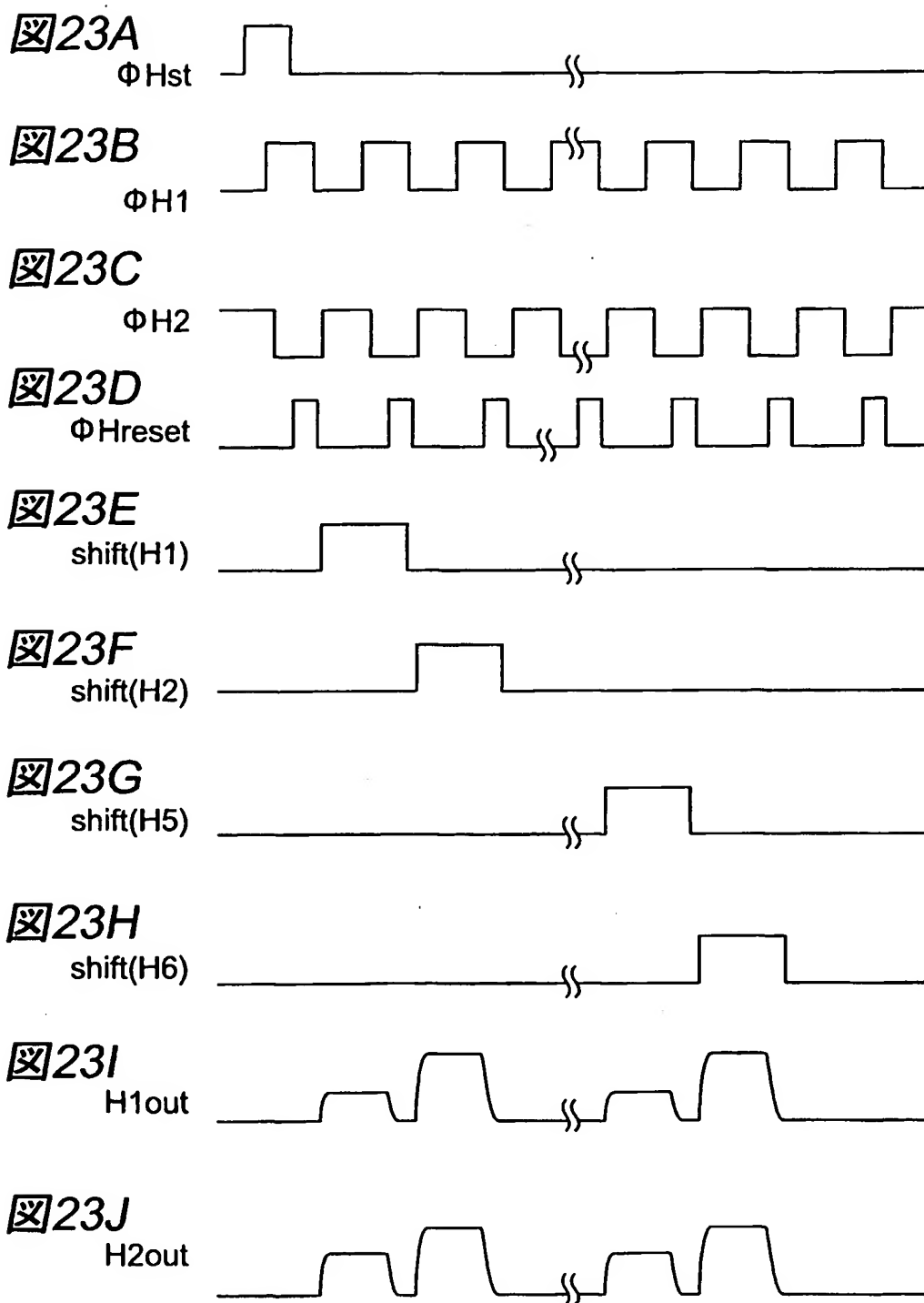




図22





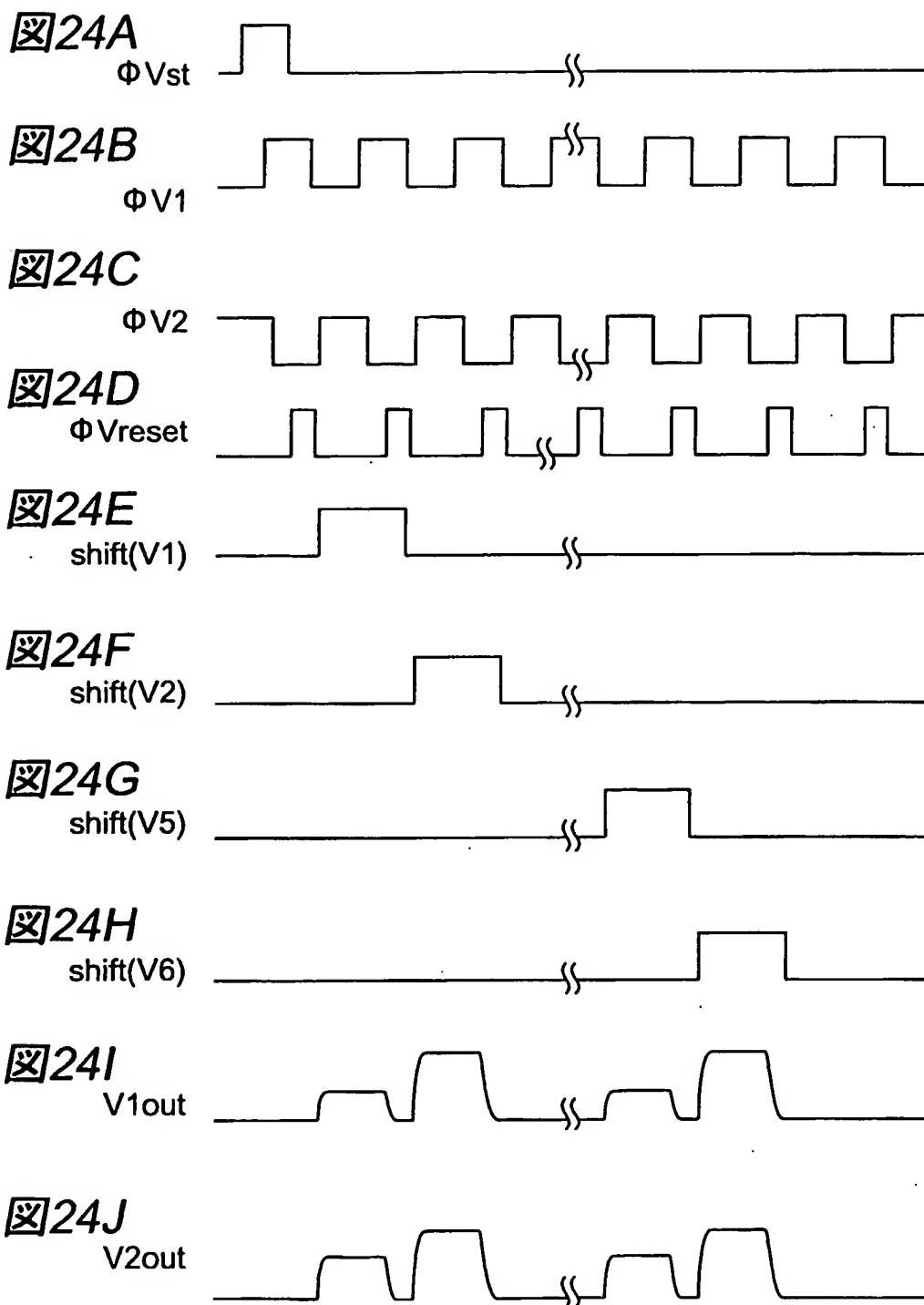


図25

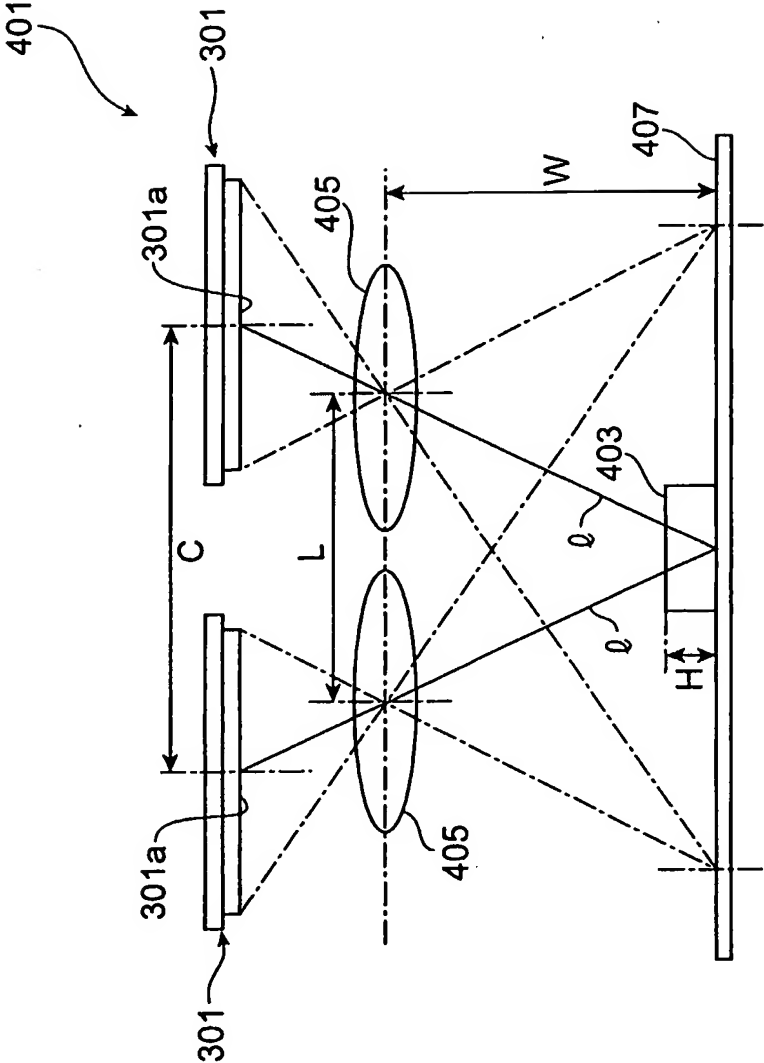
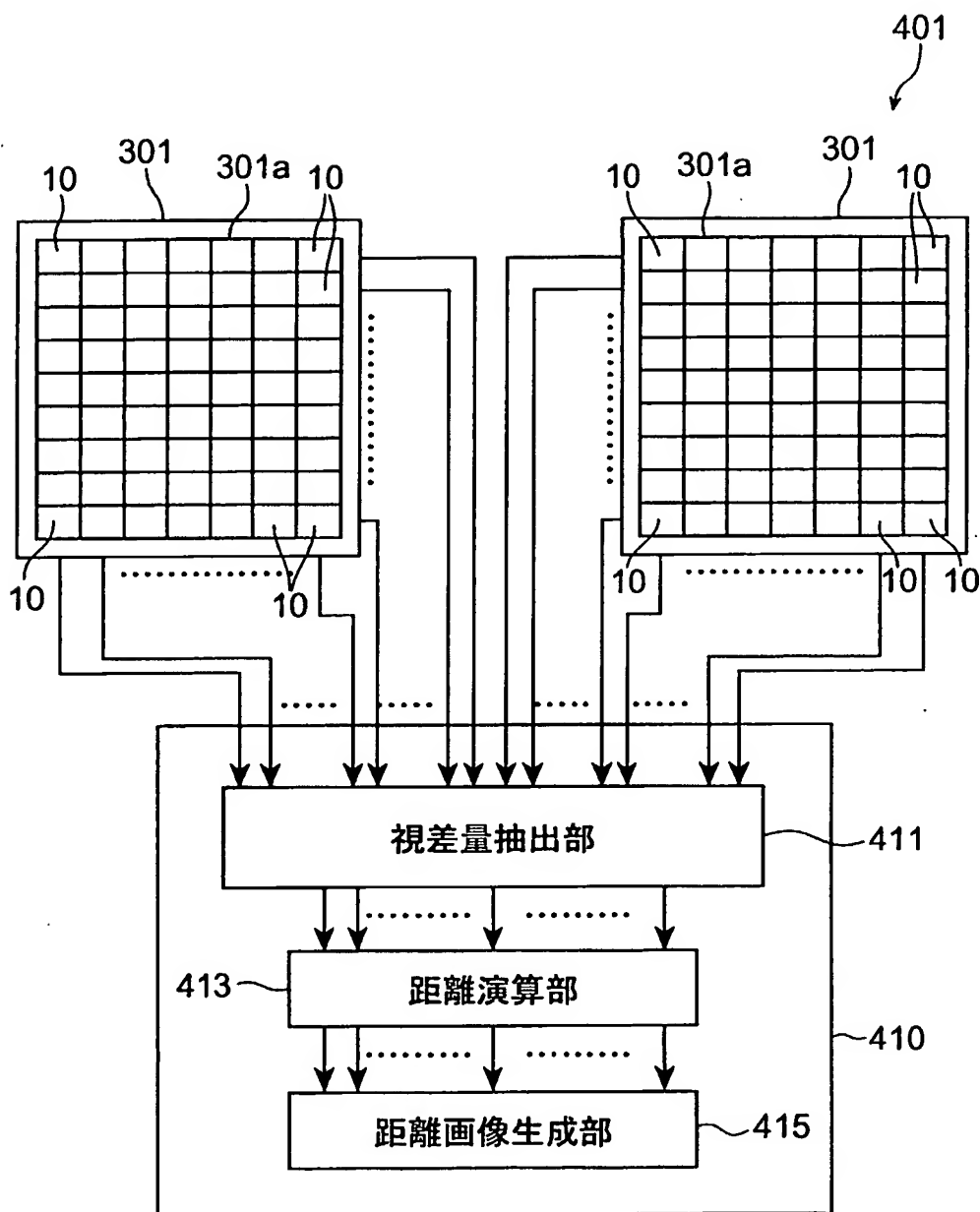


図26



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12770

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L27/14, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/14, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003

Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-196054 A (Nippon Hoso Kyokai), 14 July, 2000 (14.07.00), Full text; all drawings (Family: none)	1-21
A	JP 8-111821 A (Olympus Optical Co., Ltd.), 30 April, 1996 (30.04.96), Full text; all drawings (Family: none)	1-21
A	JP 2000-196811 A (Xerox Corp.), 14 July, 2000 (14.07.00), Full text; all drawings (Family: none)	2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 March, 2003 (04.03.03)	Date of mailing of the international search report 18 March, 2003 (18.03.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12770

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-284282 A (Matsushita Electric Industrial Co., Ltd.), 29 October, 1993 (29.10.93), Full text; all drawings (Family: none)	3, 6
A	JP 2001-298177 A (Canon Inc.), 26 October, 2001 (26.10.01), Full text; all drawings (Family: none)	8
A	JP 2001-36128 A (Hamamatsu Photonics Kabushiki Kaisha), 09 February, 2001 (09.02.01), Full text; all drawings & AU 5853700 A & EP 1229593 A1 & US 2002/60284 A1 & WO 01/6573 A1	9, 10, 17, 18, 20
A	JP 2001-285885 A (Fuji Photo Film Co., Ltd.), 12 October, 2001 (12.10.01), Full text; all drawings & US 6469290 B1	14
A	JP 2000-196812 A (Xerox Corp.), 14 July, 2000 (14.07.00), Full text; all drawings (Family: none)	15
A	JP 2000-295635 A (Sony Corp.), 20 October, 2000 (20.10.00), Full text; all drawings (Family: none)	19-21

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/14, H04N5/335

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/14, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国実用新案登録公報 1996-2003年  
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2000-196054 A (日本放送協会) 200 0.07.14, 全文, 全図 (ファミリーなし)	1-21
A	J P 8-111821 A (オリンパス光学工業株式会社) 1996.04.30, 全文, 全図 (ファミリーなし)	1-21
A	J P 2000-196811 A (ゼロックス コーポレイシ ョン) 2000.07.14, 全文, 全図 (ファミリーなし)	2
A	J P 5-284282 A (松下電器産業株式会社) 199	3, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

04.03.03

国際調査報告の発送日

18.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗野 正明

電話番号 03-3581-1101 内線 3462



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	3. 10. 29, 全文, 全図 (ファミリーなし)	
A	JP 2001-298177 A (キャノン株式会社) 20 01. 10. 26, 全文, 全図 (ファミリーなし)	8
A	JP 2001-36128 A (浜松ホトニクス株式会社) 20 01. 02. 09, 全文, 全図 & AU 5853700 A & EP 1229593 A1 & US 2002/6028 4A1 & WO 01/6573 A1	9, 10, 17, 18, 20
A	JP 2001-285885 A (富士写真フイルム株式会 社) 2001. 10. 12, 全文, 全図 & US 64692 90 B1	14
A	JP 2000-196812 A (ゼロックス コーポレイシ ョン) 2000. 07. 14, 全文, 全図 (ファミリーなし)	15
A	JP 2000-295635 A (ソニー株式会社) 200 0. 10. 20, 全文, 全図 (ファミリーなし)	19-21